

Prior Art #6

1/10/01

Kawasaki

JC903 U.S. PTO
09/776676
02/06/01

日本特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 3月13日

出願番号

Application Number:

特願2000-069399

出願人

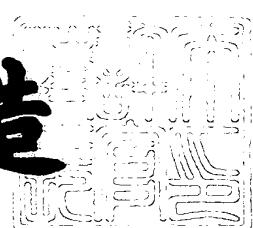
Applicant(s):

セイコーエプソン株式会社

2000年10月27日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3089818

【書類名】 特許願
【整理番号】 J0078107
【提出日】 平成12年 3月13日
【あて先】 特許庁長官殿
【国際特許分類】 G02F 1/133
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 平林 幸哉
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代表者】 安川 英昭
【代理人】
【識別番号】 100093388
【弁理士】
【氏名又は名称】 鈴木 喜三郎
【連絡先】 0266-52-3139
【選任した代理人】
【識別番号】 100095728
【弁理士】
【氏名又は名称】 上柳 雅誉
【選任した代理人】
【識別番号】 100107261
【弁理士】
【氏名又は名称】 須澤 修
【手数料の表示】
【予納台帳番号】 013044
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、電気光学装置用基板、液晶装置用基板とその製造方法、及び液晶装置、並びにこれを用いた投射型液晶表示装置および電子機器

【特許請求の範囲】

【請求項1】 基板と、該基板上に設けられた下地酸化膜と、複数の信号線と、前記下地酸化膜上に設けられ、製造工程中に前記複数の信号線間を電気的に接続する短絡用配線とを有する半導体装置であって、

前記短絡用配線を覆う絶縁膜に、前記信号線の短絡状態を解除する際にエッチングにより前記短絡用配線を切断するための孔が設けられ、前記短絡用配線と前記下地酸化膜との間に、前記短絡用配線表面に形成された酸化膜のエッチングに対する耐性を有する膜からなるエッティング停止層が、少なくとも前記孔よりも広い領域にわたって設けられたことを特徴とする半導体装置。

【請求項2】 前記エッティング停止層が、前記短絡用配線の下層側に位置し当該半導体装置における前記短絡用配線の形成箇所以外の箇所で用いられる任意の膜で形成されたことを特徴とする請求項1に記載の半導体装置。

【請求項3】 一対の基板間に電気光学材料が挟持されてなる電気光学装置の一方の基板を構成し、基板と、該基板上に設けられた下地酸化膜と、複数の信号線と、前記下地酸化膜上に設けられ、製造工程中に前記複数の信号線間を電気的に接続する短絡用配線とを有する電気光学装置用基板であって、

前記短絡用配線を覆う絶縁膜に、前記信号線の短絡状態を解除する際にエッティングにより前記短絡用配線を切断するための孔が設けられ、前記短絡用配線と前記下地酸化膜との間に、前記短絡用配線表面に形成された酸化膜のエッティングに対する耐性を有する膜からなるエッティング停止層が、少なくとも前記孔よりも広い領域にわたって設けられたことを特徴とする電気光学装置用基板。

【請求項4】 前記エッティング停止層が、前記短絡用配線の下層側に位置し当該電気光学装置用基板における前記短絡用配線の形成箇所以外の箇所で用いられる任意の膜で形成されたことを特徴とする請求項3に記載の電気光学装置用基板。

【請求項5】 一対の基板間に液晶が挟持されてなる液晶装置の一方の基板

を構成し、基板と、該基板上に設けられた下地酸化膜と、複数の信号線と、前記下地酸化膜上に設けられ、製造工程中に前記複数の信号線間を電気的に接続する短絡用配線とを有する液晶装置用基板であって、

前記短絡用配線を覆う絶縁膜に、前記信号線の短絡状態を解除する際にエッチングにより前記短絡用配線を切断するための孔が設けられ、前記短絡用配線と前記下地酸化膜との間に、前記短絡用配線表面に形成された酸化膜のエッチングに対する耐性を有する膜からなるエッティング停止層が、少なくとも前記孔よりも広い領域にわたって設けられたことを特徴とする液晶装置用基板。

【請求項6】 前記エッティング停止層が、前記短絡用配線の下層側に位置し当該液晶装置用基板における前記短絡用配線の形成箇所以外の箇所で用いられる任意の膜で形成されたことを特徴とする請求項5に記載の液晶装置用基板。

【請求項7】 シリコン膜を半導体能動膜とする薄膜トランジスタを備え、前記エッティング停止層が前記半導体能動膜と同層のシリコン膜で形成されるとともに、前記短絡用配線が前記薄膜トランジスタのゲート電極材料で形成されたことを特徴とする請求項6に記載の液晶装置用基板。

【請求項8】 前記短絡用配線と前記エッティング停止層との間に前記薄膜トランジスタのゲート絶縁膜をなす絶縁膜が介在していることを特徴とする請求項7に記載の液晶装置用基板。

【請求項9】 前記シリコン膜が単結晶シリコン膜であることを特徴とする請求項7または8に記載の液晶装置用基板。

【請求項10】 前記基板と前記下地酸化膜と前記単結晶シリコン膜とが、前記基板と前記下地酸化膜との間に貼り合わせ界面を有する貼り合わせSOI基板を原材料基板として構成されたことを特徴とする請求項9に記載の液晶装置用基板。

【請求項11】 前記信号線の一部が前記短絡用配線とは異なる配線層で形成され、前記信号線と前記短絡用配線とが、これらの間に介在する絶縁膜を貫通するコンタクトホールを介して電気的に接続されたことを特徴とする請求項5ないし10のいずれかに記載の液晶装置用基板。

【請求項12】 一対の基板間に液晶が挟持されてなる液晶装置の一方の基

板を構成し、基板と、該基板上に設けられた下地酸化膜と、複数の信号線と、前記下地酸化膜上に設けられ、製造工程中に前記複数の信号線間を電気的に接続する短絡用配線とを有する液晶装置用基板の製造方法であって、

前記下地絶縁膜上に前記短絡用配線表面に形成される酸化膜のエッチングに対する耐性を有する膜からなるエッティング停止層を形成する工程と、前記下地絶縁膜上に前記エッティング停止層上を横断するように前記短絡用配線を形成する工程と、該短絡用配線を覆う絶縁膜を形成する工程と、該絶縁膜に、前記信号線の短絡状態を解除する際にエッティングにより前記短絡用配線を切断するための孔を前記エッティング停止層の形成領域上に形成する工程と、前記短絡用配線の表面に形成された酸化膜を前記孔を通してエッティングして除去する工程と、前記短絡用配線を前記孔を通して切断する工程とを有することを特徴とする液晶装置用基板の製造方法。

【請求項13】 前記エッティング停止層を、前記短絡用配線の形成前に形成し、当該液晶装置用基板における前記短絡用配線の形成箇所以外の箇所で用いる任意の膜で形成することを特徴とする請求項12に記載の液晶装置用基板の製造方法。

【請求項14】 一対の基板間に液晶が挟持されてなる液晶装置の一方の基板を構成し、基板と、該基板上に設けられた下地酸化膜と、複数の信号線と、これら複数の信号線の各々に接続された複数の画素電極と、前記下地酸化膜上に設けられ、製造工程中に前記複数の信号線間を電気的に接続する短絡用配線と、シリコン膜を半導体能動膜とする薄膜トランジスタとを有する液晶装置用基板の製造方法であって、

下地絶縁膜上のシリコン膜をパターニングすることにより、薄膜トランジスタの半導体能動膜を形成すると同時にシリコン酸化膜のエッティングに対する耐性を有するエッティング停止層を形成する工程と、残存した前記シリコン膜の表面にシリコン酸化膜を形成する工程と、全面に薄膜トランジスタのゲート電極材料膜を成膜してこれをパターニングすることにより、前記信号線をなす走査線および薄膜トランジスタのゲート電極を形成すると同時に前記エッティング停止層上を横断するように短絡用配線を形成する工程と、前記薄膜トランジスタの半導体能動膜

中に不純物を導入してソース領域およびドレイン領域を形成する工程と、前記薄膜トランジスタおよび前記短絡用配線を覆う第1層間絶縁膜を形成する工程と、該第1層間絶縁膜をパターニングすることにより、該第1層間絶縁膜を貫通して薄膜トランジスタのソース領域に達するソースコンタクトホールを形成する工程と、導電膜を成膜してこれをパターニングすることにより、前記ソースコンタクトホールを通じて前記ソース領域と電気的に接続される前記信号線をなすデータ線を形成すると同時に端子を形成する工程と、これらデータ線および端子を覆う第2層間絶縁膜を形成する工程と、前記第2層間絶縁膜および第1層間絶縁膜をパターニングすることにより、これら層間絶縁膜を貫通して薄膜トランジスタのドレイン領域に達するドレインコンタクトホールを形成すると同時に前記信号線の短絡状態を解除する際にエッチングにより前記短絡用配線を切断するための孔を前記エッティング停止層の形成領域上に形成する工程と、前記ドレインコンタクトホールを通じて前記ドレイン領域と電気的に接続される画素電極を形成する工程と、前記第2層間絶縁膜上にマスクパターンを形成して第2層間絶縁膜のウェットエッティングを行うことにより、前記端子表面を露出させると同時に前記孔を通して前記短絡用配線表面に形成された自然酸化膜を除去する工程と、前記孔を通して前記短絡用配線のエッティングを行うことにより、前記短絡用配線を切断する工程とを有することを特徴とする液晶装置用基板の製造方法。

【請求項15】 前記薄膜トランジスタの半導体能動膜およびエッティング停止層をなすシリコン膜が単結晶シリコン膜であり、原材料基板として貼り合わせSOI基板を用いることを特徴とする請求項14に記載の液晶装置用基板の製造方法。

【請求項16】 一対の基板間に液晶が挟持されてなる液晶装置であって、前記一対の基板のうちの少なくとも一方の基板が、請求項5ないし11のいずれかに記載の液晶装置用基板であることを特徴とする液晶装置。

【請求項17】 請求項16に記載の液晶装置をライトバルブとして備え、光源部から出射された光を前記液晶装置で光変調するとともに、変調した光を投射光学手段により投射面に拡大投射することを特徴とする投射型液晶表示装置。

【請求項18】 請求項16に記載の液晶装置を備えたことを特徴とする電

子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、電気光学装置用基板、液晶装置用基板とその製造方法、及び液晶装置、並びにこれを用いた電子機器に関し、特に液晶装置用基板の製造過程で生じる静電気や絶縁基板表面に蓄積された電荷から基板上の回路や素子を保護する技術に関するものである。

【0002】

【従来の技術】

液晶表示装置を構成する液晶セルは、例えば複数のデータ線と複数の走査線とが格子状に形成されるとともに、画素電極、画素電極駆動用スイッチング素子である薄膜トランジスタ（Thin Film Transistor, 以下、TFTと略記する）等がマトリクス状に配置されたアクティブマトリクス基板と、対向電極等が配置された対向基板とが所定の間隔をもって配置されている。アクティブマトリクス基板と対向基板とは、スペーサを混入したシール材により、一定の間隔を保って互いに電極形成面が対向するように貼り合わされ、これら2枚の基板間に液晶が封入されている。

【0003】

上記構成のアクティブマトリクス基板を製造するにあたって、TFTは半導体製造プロセスを利用して形成される。ところが、製造プロセス中の多数の工程を経るうちに基板に静電気が帯電したり、プラズマ処理工程等の影響で基板表面に電荷が蓄積されることがある。特にガラスや石英などの絶縁性基板を用いる液晶表示装置用のアクティブマトリクス基板においては、帶電した静電気や基板表面に蓄積した電荷の逃げ道がないことから、これら静電気や電荷の存在に起因してTFTの静電破壊や特性不良等の不具合が発生することがある。

【0004】

そのため、従来は、基板の周縁部を囲むように静電気対策用の配線を設けるとともに、製造工程途中においては走査線やデータ線等の相互の信号線間を電気的

に接続する短絡用配線を形成しておき、製造工程中で発生する静電気や電荷を短絡用配線を通じて基板外周の静電気対策配線に拡散させることにより、上記静電気や電荷に起因する突発的な過剰電流が内部のTFT等に流れないようにする対策が採られている。そして、この短絡用配線は、静電気などからTFT等の素子や配線を保護するために製造工程途中で必要とされるが、製造工程終了後は不要であり、また、その後の電気的特性検査工程等で相互の信号線間が短絡したままでは検査ができないため、製造工程終了後は何らかの方法により短絡用配線を切断する必要がある。

【0005】

そこで、本出願人は、特開平11-95257号公報に記載されているような上記短絡用配線の形成、切断方法を提案した。本方法によれば、TFTの製造工程における各種膜の成膜、パターニング、コンタクトホールの形成、エッチング等の工程を行う際にこれと同時に短絡用配線を形成し、切断する方法であるため、短絡用配線の形成、切断のために特別な工程を追加する必要がないという点で優れた方法である。以下、上記公報に記載された短絡用配線の構成とその形成・切断方法について図面を参照して説明する。

【0006】

図2はアクティブマトリクス基板の概略構成図である。この図に示すように、アクティブマトリクス基板7は、絶縁基板12上に複数の走査線4と複数のデータ線3が互いに交差するように設けられ、これら走査線4とデータ線3で区画された領域が個々の画素8としてマトリクス状に構成されている。走査線4は多結晶シリコン膜で形成され、データ線3はアルミニウム等の金属膜で形成されている。これら複数の画素8がマトリクス状に形成されている領域が画素部9（画像表示領域）である。また、画素部9の周囲に、複数のデータ線3の各々に画像信号を供給するデータ線駆動回路10が形成され、走査線4の両端には、各々の走査線4に画素選択用の走査信号を供給する走査線駆動回路11がそれぞれ形成されている。

【0007】

上記アクティブマトリクス基板7においては、静電気対策として、全ての信号

配線16, 17間を電気的に接続する第1の短絡用配線41が形成されている。また、全ての走査線4間を電気的に接続する第2の短絡用配線42が形成されている。さらに、全てのデータ線3間を電気的に接続する第3の短絡用配線43が形成されている。これら全ての短絡用配線41, 42, 43は、走査線4と同層の多結晶シリコン膜で形成されており、相互の短絡用配線41, 42, 43間も電気的に接続されている。図2において、各短絡用配線41, 42, 43の途中に「×」印を付けた箇所は、使用後に各短絡用配線41, 42, 43を切断する際の切断部である。

【0008】

図24は、図2のアクティブマトリクス基板7における画素部9のコーナー部分を拡大して示す平面図である。この図に示すように、各画素8には、走査線4およびデータ線3に接続する画素スイッチング用のTFT2が設けられ、複数の画素8にわたって容量線6が伸びている。TFT2は、後で参照する図29(G)に示すように、走査線4と一緒に形成されたゲート電極20と、第1層間絶縁膜21を貫通するソースコンタクトホール23を介してデータ線3と電気的に接続されたソース領域25a, 25bと、第2層間絶縁膜22および第1層間絶縁膜21を貫通するドレインコンタクトホール24を介して画素電極1と電気的に接続されたドレイン領域26a, 26bとを有する半導体能動膜27を備えている。そして、図24に示すように、走査線4間を電気的に接続する第2の短絡用配線42と、データ線3間を電気的に接続する第3の短絡用配線43がそれぞれ形成されている。また、図中符号37は各短絡用配線42, 43の切断部であって、具体的には第1層間絶縁膜21および第2層間絶縁膜22を貫通する孔(以下、切断用孔という)のパターンである。

【0009】

図25は、図2のアクティブマトリクス基板7における信号配線と短絡用配線との接続構造を示す平面図である。この図に示すように、信号配線16, 17はアルミニウム等の金属膜で形成されており、第1の短絡用配線41とは異なる層に位置しているので、信号配線16, 17と第1の短絡用配線41とは、これらの間に位置する第1層間絶縁膜21を貫通するコンタクトホール34を介して電

気的に接続されている。この接続構造はデータ線3についても同様であり、データ線3と第3の短絡用配線43とは、これらの間に位置する第1層間絶縁膜21を貫通するコンタクトホール34を介して電気的に接続されている。そして、第1の短絡用配線41の途中にも、第2の短絡用配線42、第3の短絡用配線43と同様、切断用孔37が設けられている。

【0010】

図26は、図2のアクティブマトリクス基板7の端子の部分を示す平面図である。図26および後で参照する図29(G)に示すように、端子30は、第2層間絶縁膜22の開口部22aで露出するパッドであり、外部端子との接続が可能になっている。これら端子30は第1層間絶縁膜21の上層に形成されている。一方、複数の端子30間を電気的に接続する短絡用配線33は、第1層間絶縁膜21の下層に走査線4と同時形成されるため、短絡用配線33の一部である端子下シート膜31と端子30との電気的な接続は、第1層間絶縁膜21に形成されたコンタクトホール32によってなされている。この短絡用配線33の途中にも、切断用孔37が設けられている。

【0011】

次に、上記構成のアクティブマトリクス基板7を製造する方法を、図27～図29を用いて説明する。これらの図は、本従来例のアクティブマトリクス基板7の製造方法を示す工程断面図であって、いずれの図においても、その左側部分には図24のA-A'線に沿う断面図(画素TFT部の断面図)、中央部分には図25のB-B'線に沿う断面図(短絡用配線の切断部を含む静電気対策配線部の断面図)、右側部分には図26のC-C'線に沿う断面図(端子部の断面図)を示している。なお、このアクティブマトリクス基板7は、TFT2の半導体能動膜27に多結晶シリコン膜を用いた、いわゆるポリシリコンTFT型アクティブマトリクス基板の例である。

【0012】

まず、図27(A)に示すように、ガラス基板等の絶縁基板12の表面に多結晶シリコン膜78を形成した後、これをパターニングし、図27(B)に示すように、画素TFT部に島状の半導体能動膜27を形成する。これに対して、静電

気対策配線部および端子部では、多結晶シリコン膜78を完全に除去する。次に、熱酸化法などを用いて半導体能動膜27の表面にゲート酸化膜65を形成する。その後、導電性の多結晶シリコン膜を全面に形成し、パターニングして、画素TFT部にゲート電極20を形成する。これに対して、静電気対策配線部および端子部では、多結晶シリコン膜を短絡用配線33（第1、第2、第3の短絡用配線41、42、43に相当する）および端子下シート膜31として残す。

【0013】

次に、図27（C）に示すように、イオン注入法により半導体能動膜27にソース領域25a、25bおよびドレイン領域26a、26bを形成した後、全面に第1層間絶縁膜21を形成する。次に、画素TFT部では第1層間絶縁膜21のうち、ソース領域25bに相当する部分、端子部では第1層間絶縁膜21のうち、端子下シート膜31に相当する部分にソースコンタクトホール23、コンタクトホール32をそれぞれ形成する。次に、アルミニウム膜等の金属膜を全面に成膜した後、これをパターニングして、画素TFT部ではデータ線3の一部としてソース電極73を形成する。併せて、静電気対策配線部では信号配線74を形成し、端子部では端子30を形成する。以上の工程により、第1、第3の短絡用配線41、43と、信号配線16、17およびデータ線3との間の配線接続がなされる。

【0014】

次に、図28（D）に示すように、全面に第2層間絶縁膜22を形成する。その後、画素TFT部では第2層間絶縁膜22および第1層間絶縁膜21のうち、ドレイン領域26bに相当する部分にドレインコンタクトホール24を形成する。併せて、静電気対策配線部では、短絡用配線33上に第2層間絶縁膜22および第1層間絶縁膜21を貫通する切断用孔37を形成する。

【0015】

次に、全面にインジウム錫酸化物（Indium Tin Oxide, 以下、ITOと略記する）膜を成膜した後、図28（E）に示すように、これをパターニングし、画素TFT部では画素電極1を形成する。これに対して、静電気対策配線部および端子部では、ITO膜を完全に除去する。

【0016】

次に、図29(F)に示すように、第2層間絶縁膜22上に端子部において端子30として露出させるべき領域が開口したレジストマスク76を形成する。このレジストマスク76は、画素TFT部は全て覆っており、静電気対策配線部には上記の切断用孔37に相当する位置に開口部を有している。この静電気対策配線部において、レジストマスク76の開口部分は切断用孔37よりも大きい。

【0017】

その後、レジストマスク76を用いてエッチングを行い、図29(G)に示すように、端子部において端子30を第2層間絶縁膜22の開口部22aから露出させる。その後、静電気対策配線部では短絡用配線33を切断し、この切断部によって各配線が電気的に分離される。

【0018】

このように、本方法によれば、走査線4およびゲート電極20の形成と同時に短絡用配線33を形成することができ、データ線3や信号配線74(16, 17)のように短絡用配線33とは異なる層に位置する配線間を短絡させる場合には、TFT2のソースコンタクトホール23の形成と同時にコンタクトホールを形成して、データ線3や信号配線74と短絡用配線33とを電気的に接続することができる。

【0019】

また、短絡用配線33を切断する方法をより詳細に説明すると、以下のようになる。別途図30(A)に示すように、第2層間絶縁膜22を形成した後、TFT2のドレインコンタクトホール24を形成するのと同時に、短絡用配線33上に相当する位置に第2層間絶縁膜22および第1層間絶縁膜21を貫通する切断用孔37を形成する。そして、その上に一旦形成される画素電極形成用のITO膜を除去した後、端子部において端子を開口させるためのフォトリソグラフィー工程を実施する。ただし、ここで形成するレジストマスク76は端子上だけでなく、切断用孔37の部分も開口しておく。なぜならば、フォトリソグラフィー工程を増やすために、このレジストマスク76を用いて後の短絡用配線切断のエッチングを行いたいからである。その後、端子開口のための第2層間絶縁膜2

2のエッチングを行う。通常、このエッチングにはウェットエッチングのみが用いられるか、あるいはある程度ドライエッティングを行った後にウェットエッティングを併用する方法が採用されることが多い。その理由は、特に液晶表示装置用アクティブマトリクス基板では絶縁基板が用いられるため、ドライエッティングを用いた場合に基板表面がプラズマに晒されて電荷が蓄積されるのを避けたいからである。

【0020】

したがって、通常、第2層間絶縁膜22にはシリコン酸化膜系の絶縁膜が用いられるが、シリコン酸化膜をエッティング可能なエッティング液によって端子上の第2層間絶縁膜22がエッティングされるのと同時に、仮に切断用孔37から露出した短絡用配線33をなす多結晶シリコン膜表面に自然酸化膜が形成されていたとしても、その自然酸化膜もエッティングされ、図30(B)に示すように、短絡用配線33の表面が若干オーバーエッティングされた状態となる。この自然酸化膜の除去は、次の短絡用配線切断工程において短絡用配線をなす多結晶シリコン膜のエッティングを確実にするという効果を持っている。そして、図30(C)に示すように、ドライエッティング等を用いて切断用孔37から露出した多結晶シリコン膜をエッティングすることにより、短絡用配線33をこの箇所で確実に切断することができる。

【0021】

【発明が解決しようとする課題】

ところで、近年、液晶表示装置の高機能化、高性能化への要求が高まっており、アクティブマトリクス基板に用いるTFTにおいても、より一層の高速性が求められている。その場合、動作速度に大きな影響を与えるTFTの半導体能動膜材料として、従来用いられてきた多結晶シリコンから単結晶シリコンへの転換が検討されている。半導体製造プロセスの分野においては、絶縁膜の上にシリコン単結晶薄膜を形成したSOI (Silicon On Insulator) 技術が従来から知られており、SOIウェハを製造する手段としてSIMOX (Separation by IMplanted OXygen) 技術、ウェハ貼り合わせ技術などが用いられる。特にウェハ貼り合わせ法によるSOIウェハは、SOI層の結晶性が良好な点、および支持基板に透

明材料を用いることができるなど材料選択の幅が広い点で好ましい。そこで、単結晶シリコンTFTを実現する上で液晶表示装置用アクティブマトリクス基板の材料の選択肢の一つとして、貼り合わせ法によるSOQ (Silicon On Quartz) 基板が検討されている。

【0022】

しかしながら、貼り合わせ法によるSOQ基板を用いてアクティブマトリクス基板を実際に製造したところ、上記の静電気保護対策を採用すると、以下のような問題点が発生することがわかった。貼り合わせ法によるSOQ基板では、熱酸化法等により表面にシリコン酸化膜を形成した単結晶シリコン基板と石英基板とを、シリコン酸化膜側を石英基板に密着させた状態で熱処理を行って貼り合わせるため、シリコン酸化膜と石英基板との間には結晶の結合性が比較的弱い界面（以下、貼り合わせ界面という）が存在する。よって、このSOQ基板を使用した場合の上記短絡用配線の切断工程における断面構造は、図16（B）のようになる。

【0023】

すなわち、この図に示すように、石英基板63上にシリコン酸化膜からなる埋込酸化膜62が積層され、石英基板63と埋込酸化膜62との界面が貼り合わせ界面となっている。そして、埋込酸化膜62上に短絡用配線33が形成され、埋込酸化膜62上に順次積層された第1層間絶縁膜21、第2層間絶縁膜22には短絡用配線33を露出させる切断用孔37が形成されている。この断面構造において、上述した手順の如く、まず最初に端子部の端子を露出させるための第2層間絶縁膜22のエッチングを行う。貼り合わせSOQ基板を使用した場合には短絡用配線33の下地がシリコン酸化膜からなる埋込酸化膜62であるから、第2層間絶縁膜22と同時に埋込酸化膜62もエッチングされることになる。また、埋込酸化膜62の膜厚は、SOQ基板の種類によって例えば数十nm～数μm程度の範囲があるが、数百nm程度のものが多く用いられる。その場合、埋込酸化膜62の膜厚が第2層間絶縁膜22の膜厚に比べてかなり薄くなる場合がある。

【0024】

この状況において、端子が露出するまで第2層間絶縁膜22をエッチングして

いると、その途中で短絡用配線33下の埋込酸化膜62が全てエッティングされ、エッティング液が貼り合わせ界面に到達する。ところが、図28(D)に示した従来構造であれば、基板とその上に積層された絶縁膜との界面が強固であるので問題は生じないが、貼り合わせ界面を有するS〇Q基板では、上述したように、貼り合わせ界面の結晶の結合性が弱いためにエッティング液が染み込みやすく、図16(B)に示したように、埋込酸化膜62が貼り合わせ界面に沿って深く切れ込むようにエッティングされてしまう。このような状態になると、埋込酸化膜62、第1層間絶縁膜21、第2層間絶縁膜22にわたって絶縁膜のクラックCが発生したり、ひどい場合にはこの部分の絶縁膜が剥がれてしまうといった問題が発生していた。

【0025】

この問題を回避するためには、第2層間絶縁膜のエッティングとして、貼り合わせ界面に沿ってエッティング液が染み込むようなことがないドライエッティングを用いることが考えられるが、上述したように、ドライエッティングでは基板表面に電荷が蓄積されたり、プラズマによるダメージを受けるという点で好ましくない。あるいは、端子部の第2層間絶縁膜のエッティングと静電気対策配線部の第2層間絶縁膜のエッティングを別工程に分けて行うという方法も考えられるが、その場合、工程数が多くなり、従来の工程を極力複雑化することなく、短絡用配線の形成・切断が行えるという本方法の利点が損なわれるので、やはり好ましくない。いくら完全な静電気対策を行ったとしても、そのために製造プロセスが複雑化して、多大な製造コストの高騰やTAT(Turn Around Time, 製品着工から完成までの時間)の増大を招くのでは意味がなくなってしまう。

【0026】

本発明は、上記の課題を解決するためになされたものであって、上記のような短絡用配線による静電気対策を施した液晶装置、電気光学装置、半導体装置等、各種電子デバイスに用いる基板において、エッティングによる短絡用配線の切断時に切断部周辺の絶縁膜のクラックや剥がれを確実に防止する手段を提供することを目的とする。さらに本発明は、上記絶縁膜のクラックや剥がれの防止にあたり、従来の製造プロセスを極力複雑化しない手段を提供することを目的とする。

【0027】

【課題を解決するための手段】

上記の目的を達成するために、本発明の半導体装置は、基板と、基板上に設けられた下地酸化膜と、複数の信号線と、下地酸化膜上に設けられ、製造工程中に複数の信号線間を電気的に接続する短絡用配線とを有する半導体装置であって、短絡用配線を覆う絶縁膜に、信号線の短絡状態を解除する際にエッチングにより短絡用配線を切断するための孔が設けられ、短絡用配線と下地酸化膜との間に、短絡用配線表面に形成された酸化膜のエッチングに対する耐性を有する膜からなるエッチング停止層が、少なくとも孔よりも広い領域にわたって設けられたことを特徴とする。

【0028】

本発明の電気光学装置用基板は、一対の基板間に電気光学材料が挟持されてなる電気光学装置の一方の基板を構成し、基板と、基板上に設けられた下地酸化膜と、複数の信号線と、下地酸化膜上に設けられ、製造工程中に複数の信号線間を電気的に接続する短絡用配線とを有する電気光学装置用基板であって、短絡用配線を覆う絶縁膜に、信号線の短絡状態を解除する際にエッチングにより短絡用配線を切断するための孔が設けられ、短絡用配線と下地酸化膜との間に、短絡用配線表面に形成された酸化膜のエッチングに対する耐性を有する膜からなるエッチング停止層が、少なくとも孔よりも広い領域にわたって設けられたことを特徴とする。

【0029】

本発明の液晶装置用基板は、一対の基板間に液晶が挟持されてなる液晶装置の一方の基板を構成し、基板と、基板上に設けられた下地酸化膜と、複数の信号線と、下地酸化膜上に設けられ、製造工程中に複数の信号線間を電気的に接続する短絡用配線とを有する液晶装置用基板であって、短絡用配線を覆う絶縁膜に、信号線の短絡状態を解除する際にエッチングにより短絡用配線を切断するための孔が設けられ、短絡用配線と下地酸化膜との間に、短絡用配線表面に形成された酸化膜のエッチングに対する耐性を有する膜からなるエッチング停止層が、少なくとも孔よりも広い領域にわたって設けられたことを特徴とする。

【0030】

なお【特許請求の範囲】では、「短絡用配線」の機能を簡潔に示すために「製造工程中に複数の信号線間を電気的に接続する」と記載したが、「短絡用配線」は静電気対策のみに限定して使用するものでは勿論なく、【従来の技術】の項で述べたように、製造工程中で発生する静電気やプラズマ処理における蓄積電荷等、種々の原因によって基板に帯電する電荷を逃がすために用いられるものである。

【0031】

また、本発明で言う「酸化膜のエッティングに対する耐性を有する膜」とは、酸化膜のエッティングに対する選択比がある程度大きく、当該製造プロセスのエッティング条件において膜の一部がエッティングされてもかまわず、膜が全てエッティングされ、エッティングが下地に到達することさえなければ良い、という意味である。

【0032】

従来の構造では、短絡用配線が下地酸化膜上に直接形成されていたため、短絡用配線の切断時の前処理として短絡用配線表面に形成される酸化膜を除去すべくエッティングを行うと、下地酸化膜までもエッティングされてしまい、エッティング液が基板と下地酸化膜の界面に浸透してエッティングが過剰に進行し、絶縁膜クラックや剥がれの原因となっていた。これに対して、本発明の構造では、短絡用配線と下地酸化膜との間にエッティング停止層が介在し、このエッティング停止層は短絡用配線表面に形成された酸化膜のエッティングに対する耐性を有しているので、酸化膜エッティングはエッティング停止層のところで止まり、下地酸化膜はエッティングされることがない。また、本発明の構造は、後の短絡用配線の切断工程では何ら支障がない。したがって、短絡用配線の切断工程に伴う絶縁膜のクラックや剥がれの発生を確実に防止することができる。【従来の技術】の項では液晶装置用基板を例に挙げて説明したが、本発明は液晶装置用基板に限ることなく、半導体装置、電気光学装置等をはじめとする各種の電子デバイスに適用することができる。本発明の適用により、信頼性が高く、高性能の電子デバイスを実現することができる。

【0033】

また、前記エッチング停止層は、これだけのために別途形成しても良いが、製造プロセスを複雑化させないためには、短絡用配線の下層側で使用される膜であって、短絡用配線の形成箇所以外の箇所で用いられる任意の膜を用いて形成するのが合理的で好ましい。

【0034】

本発明を液晶装置用基板に適用する場合、例えばそれが画素スイッチング素子としてTFTを用いたTFTアレイ基板であれば、TFTのソース領域、ドレン領域、チャネル領域等をなす半導体能動膜は、通常シリコン膜で形成される。その場合、エッチング停止層を半導体能動膜と同層のシリコン膜で形成し、短絡用配線をTFTのゲート電極材料で形成することが望ましい。

【0035】

この構成によれば、エッチング停止層の形成、短絡用配線の形成をTFTの形成と同時に行うことができる。

【0036】

さらにその場合、短絡用配線とエッチング停止層との間にTFTのゲート絶縁膜をなす絶縁膜が介在することになる。

【0037】

仮にエッチング停止層が導電性を有する場合、短絡用配線を切断しても短絡用配線とエッチング停止層が接触すると、切断した短絡用配線同士がエッチング停止層を介して短絡することになり、実質的に短絡用配線を切断することができなくなることも考えられる。ところが、上記の構成によれば、TFTのゲート絶縁膜をなす絶縁膜が短絡用配線とエッチング停止層との間に介在するため、短絡用配線を確実に切断することができる。

【0038】

TFTの半導体能動膜をなすシリコン膜としては、多結晶シリコン膜、アモルファスシリコン膜、単結晶シリコン膜のいずれを用いても良いが、中でもキャリアの移動度が高い単結晶シリコン膜を用いることにより、TFTの動作の高速化を図ることができる。単結晶シリコン膜を用いる場合、前記基板と前記下地酸化

膜と単結晶シリコン膜とを、基板と下地酸化膜との間に貼り合わせ界面を有する貼り合わせSOI基板を原材料基板として構成することが可能になる。

【0039】

下地酸化膜の成膜方法によっては基板と下地酸化膜との界面へのエッティング液の染み込みが問題になることもあるが、一般的には、基板上に下地酸化膜を成膜した場合よりも原材料基板として貼り合わせSOI基板を用い、基板と下地酸化膜との間が貼り合わせ界面である場合の方が、エッティング液の染み込みの問題が顕著になる。したがって、本発明は、貼り合わせSOI基板を用いた単結晶シリコン TFT を有する液晶装置用基板に用いて好適なものである。

【0040】

信号線と短絡用配線の接続構造としては、信号線と短絡用配線を同じ配線層で形成する場合には、当初から信号線と短絡用配線を一体に形成すればよいので、特に接続の必要はない。これに対して、信号線と短絡用配線を異なる配線層で形成する場合には、信号線と短絡用配線を、これらの間に介在する絶縁膜を貫通するコンタクトホールを介して電気的に接続すればよい。

【0041】

本発明の液晶装置用基板の製造方法は、一対の基板間に液晶が挟持されてなる液晶装置の一方の基板を構成し、基板と、基板上に設けられた下地酸化膜と、複数の信号線と、下地酸化膜上に設けられ、製造工程中に複数の信号線間を電気的に接続する短絡用配線とを有する液晶装置用基板の製造方法であって、下地絶縁膜上に短絡用配線表面に形成される酸化膜のエッティングに対する耐性を有する膜からなるエッティング停止層を形成する工程と、下地絶縁膜上にエッティング停止層上を横断するように短絡用配線を形成する工程と、短絡用配線を覆う絶縁膜を形成する工程と、絶縁膜に、信号線の短絡状態を解除する際にエッティングにより短絡用配線を切断するための孔をエッティング停止層の形成領域上に形成する工程と、短絡用配線の表面に形成された酸化膜を孔を通してエッティングして除去する工程と、短絡用配線を孔を通して切断する工程とを有することを特徴とする。

【0042】

また、前記エッティング停止層を、短絡用配線の形成前に形成し、当該液晶装置

用基板における短絡用配線の形成箇所以外の箇所で用いる任意の膜で形成することが望ましい。

【0043】

上記本発明の液晶装置用基板の製造方法によれば、上記本発明の液晶装置用基板を容易に製造することができ、短絡用配線の切断工程に伴う絶縁膜のクラックや剥がれの発生が防止されるという上記の効果を得ることができる。

【0044】

また、本発明の液晶装置用基板の製造方法は、より具体的には、一対の基板間に液晶が挟持されてなる液晶装置の一方の基板を構成し、基板と、基板上に設けられた下地酸化膜と、複数の信号線と、これら複数の信号線の各々に接続された複数の画素電極と、下地酸化膜上に設けられ、製造工程中に複数の信号線間を電気的に接続する短絡用配線と、シリコン膜を半導体能動膜とするTFTとを有する液晶装置用基板の製造方法であって、下地絶縁膜上のシリコン膜をパターニングすることにより、TFTの半導体能動膜を形成すると同時にシリコン酸化膜のエッティングに対する耐性を有するエッティング停止層を形成する工程と、残存したシリコン膜の表面にシリコン酸化膜を形成する工程と、全面にTFTのゲート電極材料膜を成膜してこれをパターニングすることにより、信号線をなす走査線およびTFTのゲート電極を形成すると同時にエッティング停止層上を横断するよう短絡用配線を形成する工程と、TFTの半導体能動膜中に不純物を導入してソース領域およびドレイン領域を形成する工程と、TFTおよび短絡用配線を覆う第1層間絶縁膜を形成する工程と、第1層間絶縁膜をパターニングすることにより、第1層間絶縁膜を貫通してTFTのソース領域に達するソースコンタクトホールを形成する工程と、導電膜を成膜してこれをパターニングすることにより、ソースコンタクトホールを通じてソース領域と電気的に接続される信号線をなすデータ線を形成すると同時に端子を形成する工程と、これらデータ線および端子を覆う第2層間絶縁膜を形成する工程と、第2層間絶縁膜および第1層間絶縁膜をパターニングすることにより、これら層間絶縁膜を貫通してTFTのドレイン領域に達するドレインコンタクトホールを形成すると同時に短絡用配線を切断するための孔をエッティング停止層の形成領域上に形成する工程と、ドレインコンタ

クトホールを通じてドレイン領域と電気的に接続される画素電極を形成する工程と、第2層間絶縁膜上にマスクパターンを形成して第2層間絶縁膜のウェットエッティングを行うことにより、端子表面を露出させると同時に孔を通して短絡用配線表面に形成された自然酸化膜を除去する工程と、孔を通して短絡用配線のエッティングを行うことにより、短絡用配線を切断する工程とを有することを特徴とする。

【0045】

また、TFTの半導体能動膜およびエッティング停止層をなすシリコン膜を単結晶シリコン膜とする場合、原材料基板として貼り合わせSOI基板を用いることができる。

【0046】

上記本発明の液晶装置用基板の製造方法によれば、TFTの半導体能動膜と同時にエッティング停止層を形成し、TFTのゲート電極と同時に短絡用配線を形成する。したがって、半導体能動膜およびエッティング停止層がシリコン膜からなり、TFTのゲート電極材料に多結晶シリコン膜を用いれば短絡用配線も多結晶シリコン膜となる。その後、TFTのソース領域、ドレイン領域を形成し、TFTを第1層間絶縁膜で覆うが、ソース領域に接続されるデータ線を形成するのと同時に、データ線と同層を用いて各種信号配線の末端に外部配線と接続するための端子を形成する。

【0047】

さらに、データ線や端子を第2層間絶縁膜で覆った後、ドレイン領域に画素電極を接続するためのドレインコンタクトホールを開口するが、この工程を利用して短絡用配線上に孔を同時に開口する。その後、画素部では画素電極を形成するが、この工程を経るうちに例えば多結晶シリコン膜からなる短絡用配線の表面に自然酸化膜が形成されることがある。この自然酸化膜が存在すると、後の短絡用配線の切断工程で短絡用配線がうまくエッティングされないことがある。したがって、切断工程の前に短絡用配線表面の自然酸化膜を除去する工程が必要になるが、本発明の方法ではこの工程を端子部の開口工程で兼用させている。この時、従来の方法では問題が生じていたが、本発明の方法ではエッティング停止層の存在に

より絶縁膜のクラックの問題は生じない。最後に、孔が開口した状態のままで短絡用配線のエッティングを行えば、短絡用配線を切断することができる。

【0048】

このように、本発明の液晶装置用基板の製造方法によれば、各種の成膜、パターニング、エッティング工程などを兼用することによって短絡用配線の形成・切断がTFTや端子部の形成と同時に行われるため、特に静電気対策を行わない（短絡用配線を形成しない）場合と比べて製造プロセスが複雑になることがない。厳密に言えば、短絡用配線のエッティングは勿論追加することになるが、それと/orもフォトリソグラフィー工程が増えるわけではなく、端子部の開口工程でのマスクパターンを利用してエッティングを行うだけである。よって、従来の製造プロセスと比較しても工程に費やす時間や手間をそれ程変えることなく、静電気対策を実施することができる。さらに、本製造方法においては、製造プロセスにおける最終工程に最も近い端子部の開口工程の後で短絡用配線の切断を行うので、製造プロセスの大部分にわたって短絡用配線が機能しており、極めて有効な静電気対策となる。

【0049】

本発明の液晶装置は、一対の基板間に液晶が挟持されてなる液晶装置であって、一対の基板のうちの少なくとも一方の基板が、上記本発明の液晶装置用基板であることを特徴とする。

【0050】

上記本発明の液晶装置用基板の使用により、静電破壊等に起因する表示欠陥が少なく、高画質、高性能の液晶装置を実現することができる。

【0051】

本発明の投射型液晶表示装置は、上記本発明の液晶装置をライトバルブとして備え、光源部から出射された光を前記液晶装置で光変調するとともに、変調した光を投射光学手段により投射面に拡大投射することを特徴とする。

【0052】

特に投射型液晶表示装置の場合、画像が拡大投射するために表示欠陥が使用者の目にとまりやすい傾向にあるが、静電破壊等に起因する表示欠陥が少なく、

画質の良い投射画像を得ることができる。

【0053】

本発明の電子機器は、上記本発明の液晶装置を備えたことを特徴とするものである。

【0054】

上記本発明の液晶装置の使用により、静電破壊等に起因する表示欠陥が少なく、高画質、高性能の液晶表示部を有する電子機器を実現することができる。

【0055】

【発明の実施の形態】

【第1の実施の形態】

以下、本発明の第1の実施の形態を図1ないし図16を参照して説明する。

図1は、本実施の形態の液晶装置の画像表示領域を構成する複数の画素における各種素子、配線等を含む等価回路図、図2は、液晶装置に用いられる駆動回路内蔵型のアクティブマトリクス基板（液晶装置用基板）の構成を模式的に示すプロック図、図3は、このアクティブマトリクス基板の画素部のコーナー部分を拡大して示す平面図、である。

なお、以下の全ての図面においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材ごとに平面寸法や膜厚等の縮尺を適宜異なさせてある。

【0056】

【液晶装置要部の構成】

本実施の形態の液晶装置において、図1に示すように、画像表示領域を構成するマトリクス状に配置された複数の画素は、画素電極1と当該画素電極1を制御するためのTFT2がマトリクス状に複数形成されており、画像信号を供給するデータ線3（信号線）が当該TFT2のソース領域に電気的に接続されている。データ線3に書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線3同士に対して、グループ毎に供給するようにしても良い。また、TFT2のゲート電極に走査線4（信号線）が電気的に接続されており、所定のタイミングで走査線4に対してパルス的に走査

信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極1は、TFT2のドレイン領域に電気的に接続されており、スイッチング素子であるTFT2を一定期間だけそのスイッチを閉じることにより、データ線3から供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。

【0057】

画素電極1を介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。ここで、保持された画像信号がリークするのを防ぐために、画素電極1と対向電極との間に形成される液晶容量と並列に蓄積容量部5を付加する。符号6は、蓄積容量部5の上部電極をなす容量線である。この蓄積容量部5により、画素電極1の電圧はソース電圧が印加された時間よりも3桁も長い時間だけ保持される。これにより、保持特性はさらに改善され、コントラスト比の高い液晶装置が実現できる。なお、蓄積容量部を形成する方法としては、容量線を設ける代わりに、前段の走査線との間で容量を形成しても良い。

【0058】

本実施の形態の液晶装置に用いられるアクティブマトリクス基板7においては、図2および図3に示すように、絶縁基板12上に複数の走査線4と複数のデータ線3が互いに交差するように設けられ、これら走査線4とデータ線3で区画された領域が個々の画素8としてマトリクス状に配置されている。走査線4は不純物がドーピングされた多結晶シリコン膜で形成され、データ線3はアルミニウム等の金属膜あるいは合金膜で形成されている。これら複数の画素8がマトリクス状に形成されている領域が画素部（画像表示領域）9である。また、画素部9の周囲に、複数のデータ線3の各々に画像信号を供給するデータ線駆動回路10が形成され、走査線4の両端には、各々の走査線4に画素選択用の走査信号を供給する走査線駆動回路11がそれぞれ形成されている。

【0059】

また、図2に示すように、絶縁基板12の周縁部のうち、データ線駆動回路10が設けられた辺側の周縁部には、各種の信号が入力されるアルミニウム膜等の

金属膜、金属シリサイド膜、あるいはITO膜等の導電膜からなる多数の端子13, 14, 15が形成され、これらの端子13, 14, 15からは、走査線駆動回路11およびデータ線駆動回路10を駆動するためのアルミニウム膜等の低抵抗金属膜や金属シリサイド膜からなる複数の信号配線16, 17がそれぞれ引き廻されている。また、信号配線16, 17の途中位置には、後述する静電保護回路18, 19が形成されている。

【0060】

図1および図3に示すように、各画素8には走査線4およびデータ線3に接続する画素スイッチング用のTFT2が形成されている。また、各画素8に向けて容量線6も形成されている。TFT2は、後で参照する図15(Q)に示すように、走査線4と一緒に形成されたゲート電極20と、第1層間絶縁膜21を貫通するソースコンタクトホール23を介してデータ線3と電気的に接続されたソース領域25a, 25bと、第2層間絶縁膜22および第1層間絶縁膜21を貫通するドレインコンタクトホール24を介して画素電極1と電気的に接続されたドレイン領域26a, 26bとを有する半導体能動膜27を備えている。本実施の形態の場合、半導体能動膜27は単結晶シリコン膜で構成されており、この単結晶シリコン膜は、元々は貼り合わせSOQ基板の単結晶シリコン層からなるものである。

【0061】

図5は、アクティブマトリクス基板7の端子部を示す平面図である。図5および図15(Q)に示すように、端子30(図2の端子13, 14, 15に相当する)は、第2層間絶縁膜22の開口部22aで露出するパッドであり、外部端子との接続が可能になっている。これら端子30は、第1層間絶縁膜21の上層に形成されている。一方、後述する短絡用配線33は、第1層間絶縁膜21の下層に走査線4と同時に形成されるため、短絡用配線33の一部である端子下シート膜31と端子30との電気的な接続は、第1層間絶縁膜21に形成されたコンタクトホール32によって行われている。

【0062】

このような構成を有するアクティブマトリクス基板7において、上記のTFT

2、各種の配線、走査線駆動回路11、およびデータ線駆動回路10は、半導体製造プロセスを利用して形成される。ここで、アクティブマトリクス基板7には絶縁基板12が用いられていることから、静電気などに起因する不具合が発生しやすいので、本実施の形態では以下の静電気対策を施してある。

【0063】

まず、本実施の形態では、図2に示すように、走査線4およびTFT2のゲート電極20を形成する工程を兼用して、全ての信号配線16, 17に電気的に接続する第1の短絡用配線41を形成してある。また、走査線4およびTFT2のゲート電極20を形成する工程を兼用して、全ての走査線4に電気的に接続する第2の短絡用配線42を形成してある。さらに、走査線4およびTFT2のゲート電極20を形成する工程を兼用して、全てのデータ線3に電気的に接続する第3の短絡用配線43を形成してある。ここで、第1、第2、および第3の短絡用配線41, 42, 43は、走査線4とTFT2のゲート電極20と一緒にパターニングされた多結晶シリコン膜で形成されている。したがって、第1および第3の短絡用配線41, 43は、信号配線16, 17およびデータ線3とは異なる層間に位置しているため、図4に示すように、第1および第3の短絡用配線41, 43と信号配線16, 17およびデータ線3とは、上記第1層間絶縁膜21に形成されたコンタクトホール34を介して電気的に接続されている。

【0064】

このようにして、第1、第2、および第3の短絡用配線41, 42, 43をそれぞれ信号配線16, 17、走査線4、およびデータ線3に接続しておくと、これらの配線構造を形成した以降に行われる工程において静電気などが発生しても、この電荷は第1、第2、および第3の短絡用配線41, 42, 43を介して基板外周側に拡散し、突発的な過剰電流が走査線4、画素部9、走査線駆動回路11、データ線駆動回路10等には流れないので、これら全ての部分を静電気から保護することができる。

【0065】

図6に示すように、アクティブマトリクス基板7はマザー基板35上に複数（この例では4個）形成され、このマザー基板35から各アクティブマトリクス基

板7が切り出される場合がある。この場合には、図6における領域Dを図7に拡大して示すように、各アクティブマトリクス基板7の外周側に第1、第2、および第3の短絡用配線41、42、43に電気的に接続された静電気対策配線44を設け、この基板外周に静電気の電荷を拡散させる構成を探ることができる。この場合には、第1、第2、および第3の短絡用配線41、42、43と電気的に接続された静電気対策配線44は、隣接するアクティブマトリクス基板7の間で最終工程まで互いに接続され、マザー基板35の切断時にアクティブマトリクス基板7間で切り離される。このように構成しておくと、静電気対策配線44を広範囲に分散した状態に配置した状態にしておけるので、電荷の集中が防止され、さらに効果が向上する。

【0066】

ただし、第1、第2、および第3の短絡用配線41、42、43は、アクティブマトリクス基板7の製造工程が終了した後は不要であり、また、後の電気的特性検査工程などで支障を来すため、図2中に「×」印を付した位置で、図9ないし図15を参照して後述するように、途中の工程を利用して第1層間絶縁膜21および第2層間絶縁膜22に切断用孔37を形成し、この切断用孔37を介して短絡用配線33（第1、第2、および第3の短絡用配線41、42、43）にエッチングを施すことによって切断する。このため、製造工程の途中まで、第1、第2、および第3の短絡用配線41、42、43はそれぞれ信号配線16、17、走査線4、およびデータ線3に接続しているが、切断用孔37を介してのエッチング後は、信号配線16、17、走査線4、およびデータ線3の各々が電気的に分離されることになる。これにより、アクティブマトリクス基板7をそれぞれ切断する前のマザー基板35の状態で電気的特性の検査を行うことができる。

【0067】

したがって、図3ないし図5には、第1、第2、および第3の短絡用配線41、42、43がそれぞれ図示されているが、これら短絡用配線41、42、43の途中に設けられた符号37で示した矩形が切断用孔（第1層間絶縁膜21および第2層間絶縁膜22を貫通する孔の外形）である。そして、これが本発明の最大の特徴点であるが、切断用孔37の下方に、切断用孔37の外形よりも大きい

外形を有するエッチング停止層38が、いわば座布団を敷いたように設けられている。本実施の形態の場合、エッチング停止層38はTFT2の半導体能動膜27と同じ単結晶シリコン膜で構成されており、シリコン酸化膜系のエッチングに対して充分に大きい選択比を有している。

【0068】

なお、図2に示した静電保護回路18、19としては、各種の回路を利用できるが、例えば図8に示すように、保護抵抗46と、プッシュプル配列されたPチャネル型TFT47とNチャネル型TFT48とを利用したものを用いることができ、それぞれの正電源VDDおよび負電源VSSとの間にダイオードを構成する。また、本実施の形態では、第1の短絡用配線41を信号配線16（または17）に接続するのは、必ず、端子13（または14、15）と保護抵抗46との間である。この構成により、端子13（または14、15）、あるいは第1の短絡用配線41から入った静電気は、保護抵抗46および静電保護回路18（または19）を通過しないとデータ線駆動回路10および走査線駆動回路11に達しない。このような構成とすることで、静電気は静電保護回路18（または19）に確実に吸収され、データ線駆動回路10および走査線駆動回路11を確実に保護することができる。

【0069】

【アクティブマトリクス基板の製造方法】

このような静電保護対策を行いながら、アクティブマトリクス基板7を製造する方法を、図9ないし図15を参照して以下説明する。これらの図は、本実施の形態のアクティブマトリクス基板7の製造方法を示す工程断面図であって、いずれの図においても、その左側部分には図3のA-A'線における断面図（画素TFT部の断面図）、中央部分には図4のB-B'線における断面図（短絡用配線の切断用孔を含む静電気対策配線部（図2に「×」印を付した部分）の断面図）、右側部分には図5のC-C'線における断面図（端子13、14、15が形成されている端子部の断面図）を示す。

【0070】

まず、図9(A)に示すように、熱酸化法等により表面にシリコン酸化膜を形

成した単結晶シリコン基板と石英基板とを、シリコン酸化膜側を石英基板に密着させた状態で熱処理を行って貼り合わせ、エッチング等により単結晶シリコン層を薄膜化した、貼り合わせS O Q基板を準備する。したがって、埋込酸化膜62（シリコン酸化膜、下地酸化膜）と石英基板63との間の界面は貼り合わせ界面となる。また、埋込酸化膜62の膜厚は例えば400nm程度、単結晶シリコン層61の膜厚は例えば100nm程度である。

【0071】

次に、図9（B）に示すように、単結晶シリコン層61をフォトリソグラフィー技術を用いてパターニングし、画素TFT部の側に島状の半導体能動層27を形成する。これに対して、静電気対策配線部の側では後で形成する切断用孔37に対応する位置に切断用孔37よりも大きい外形を有するエッティング停止層38を形成する。また、端子部の側では単結晶シリコン層61を完全に除去する。

【0072】

次に、図9（C）に示すように、熱酸化法等により、半導体能動層27の表面に膜厚が約50nm～約150nmのシリコン酸化膜からなるゲート酸化膜65を形成する。あるいは、熱酸化膜を約5nm～約100nm、好ましくは30nm形成した後、全面にCVD法等によりシリコン酸化膜を約10nm～約100nm、好ましくは50nm堆積し、それら2層のシリコン酸化膜によりゲート絶縁膜65を形成してもよい。また、ゲート絶縁膜65をより高耐圧化するためにシリコン窒化膜を用いてもよい。いずれにしても、この時、半導体能動層27の表面と同時に、エッティング停止層38の表面にもシリコン酸化膜が形成される。

【0073】

次に、図10（D）に示すように、ゲート電極20などを形成するための多結晶シリコン膜66を基板全面に形成した後、リンを熱拡散し、多結晶シリコン膜66を導電化する。または、多結晶シリコン膜の成膜と同時にリンを導入したドープシリコン膜を用いても良い。

【0074】

次に、図10（E）に示すように、多結晶シリコン膜66をフォトリソグラフィー技術を用いてパターニングし、画素TFT部の側にゲート電極20を形成す

る。これに対して、静電気対策配線部の側には多結晶シリコン膜66を短絡用配線33（第1、第2、および第3の短絡用配線41、42、43に相当する）として残存させる。この短絡用配線33はエッティング停止層38上を横断するよう形成される。また、端子部の側には、多結晶シリコン膜66を端子下シート膜31として残存させる。

【0075】

次に、図10(F)に示すように、画素TFT部および図示しない駆動回路のNチャネルTFT部の側には、ゲート電極20をマスクとして、約 $0.1 \times 1013 / \text{cm}^2$ ～約 $10 \times 1013 / \text{cm}^2$ のドーズ量で低濃度の不純物イオン67（リンイオン）の注入を行い、画素TFT部の側には、ゲート電極20に対して自己整合的に低濃度のソース領域25a、および低濃度のドレイン領域26aを形成する。ここで、ゲート電極20の真下に位置し、不純物イオン67が導入されなかった部分は半導体能動膜27のままのチャネル領域68となる。なお、本実施の形態では静電気対策配線部上および端子部上はレジストマスク69で覆っておき、エッティング停止層38や端子下シート膜31に不純物イオンが導入されないようにしているが、レジストマスクで覆わない手法をとっても本発明の目的に対して何ら支障はない。

【0076】

次に、図11(G)に示すように、画素TFT部では、ゲート電極20よりも幅の広いレジストマスク70を形成して高濃度の不純物イオン71（リンイオン）を約 $0.1 \times 1015 / \text{cm}^2$ ～約 $10 \times 1015 / \text{cm}^2$ のドーズ量で注入し、高濃度のソース領域25bおよびドレイン領域26bを形成する。なお、前工程と同様、静電気対策配線部上および端子部上はレジストマスク70で覆っても覆わなくても良い。

【0077】

これらの不純物導入工程に代えて、低濃度の不純物の注入を行わずにゲート電極20よりも幅の広いレジストマスクを形成した状態で高濃度の不純物（リンイオン）を注入し、オフセット構造のソース領域およびドレイン領域を形成してもよい。また、ゲート電極20の上に高濃度の不純物（リンイオン）を打ち込んで、

セルフアライン構造のソース領域およびドレイン領域を形成しても良いことは勿論である。

【0078】

また、図示を省略するが、周辺駆動回路のPチャネルTFT部を形成するために、前記画素部9およびNチャネルTFT部をレジストマスクで被覆保護して、ゲート電極20をマスクとして、約 $0.1 \times 1015/\text{cm}^2$ ～約 $10 \times 1015/\text{cm}^2$ のドーズ量でボロンイオンを注入することにより、自己整合的にPチャネルのソース・ドレイン領域を形成する。なお、NチャネルTFT部の形成と同様に、ゲート電極20をマスクとして、約 $0.1 \times 1013/\text{cm}^2$ ～約 $10 \times 1013/\text{cm}^2$ のドーズ量で低濃度の不純物（ボロンイオン）を導入して、単結晶シリコン膜に低濃度領域を形成した後、ゲート電極20よりも幅の広いマスクを形成して高濃度の不純物（ボロンイオン）を約 $0.1 \times 1015/\text{cm}^2$ ～約 $10 \times 1015/\text{cm}^2$ のドーズ量で注入し、LDD（Lightly Doped Drain）構造のソース領域およびドレイン領域を形成しても良い。また、低濃度の不純物注入を行わずに、ゲート電極20より幅の広いマスクを形成した状態で高濃度の不純物（ボロンイオン）を注入し、オフセット構造のソース領域およびドレイン領域を形成しても良い。これらのイオン注入工程によって、トランジスタのCMOS化が可能になり、周辺駆動回路の同一基板上への内蔵化が可能となる。

【0079】

次に、図11(H)に示すように、ゲート電極20、短絡用配線33および端子下シート膜31の表面側にCVD法などにより例えば800°C程度の温度条件下で膜厚が約500nm～約1500nmのNSG膜（ボロンやリンを含まないシリケートガラス膜）などからなる第1層間絶縁膜21を形成する。

【0080】

次に、図12(I)に示すように、フォトリソグラフィー技術を用いて、画素TFT部の側では第1層間絶縁膜21のうち、ソース領域25bに対応する部分にソースコンタクトホール23を形成し、端子部の側では第1層間絶縁膜21のうち、端子下シート膜31に対応する部分にコンタクトホール32を形成する。

【0081】

次に、図12（J）に示すように、第1層間絶縁膜21の表面側に、ソース電極、信号配線、端子等を構成するためのアルミニウム膜72をスパッタ法などで形成する。この際、アルミニウムなどの金属膜の他に、金属シリサイド膜や金属合金膜を用いても良い。

【0082】

その後、図12（K）に示すように、フォトリソグラフィー技術を用いてアルミニウム膜72をパターニングし、画素TFT部では、データ線3の一部としてソース電極73を形成する。併せて、静電気対策配線部には信号配線74（信号配線16, 17を形成し、端子部の側では端子30（端子13, 14, 15）を形成する。

【0083】

これら図12（I）～（K）の工程を利用して、図4を参照して説明した第1および第3の短絡用配線41, 43と、信号配線16, 17およびデータ線3との間の配線接続が行われる。

【0084】

次に、図13（L）に示すように、ソース電極73、信号配線74および端子30の表面側に、CVD法等により例えば400°C程度の温度条件下で膜厚が約50nm～約1500nmのBPSG膜（ボロンやリンを含むシリケートガラス膜）と、約10nm～約30nmのNSG膜の少なくとも2層を含む第2層間絶縁膜22を形成する。

【0085】

次に、図13（M）に示すように、画素TFT部の側では、フォトリソグラフィー技術およびドライエッチング法などを用いて、第2層間絶縁膜22および第1層間絶縁膜21のうち、TFT2のドレイン領域26bに対応する部分にドレンインコンタクトホール24を形成する。併せて、静電気対策配線部の側では、短絡用配線33（第1、第2、および第3の短絡用配線41, 42, 43に相当する）の上に切断用孔37を形成する。この工程で、切断用孔37の部分で短絡用配線33が外部に露出した状態となる。

【0086】

次に、図14（N）に示すように、第2層間絶縁膜22の表面側に、後で画素電極1となる膜厚が約40nm～約200nmのITO膜75をスパッタ法などで形成した後、図14（O）に示すように、フォトリソグラフィー技術を用いてITO膜75をパターニングし、画素TFT部では画素電極1を形成する。これに対して、静電気対策配線部および端子部では、ITO膜75を完全に除去する。ここで、画素電極1の材料としては、ITO膜に限らず、Sn_xO_y膜やZn_xO_y膜などの高融点の金属酸化物等からなる透明電極材料を使用することも可能である。これらの材料であれば、コンタクトホール内でのステップカバレージも実用に耐えるものである。

【0087】

次に、図15（P）に示すように、第2層間絶縁膜22の表面側に、端子部において端子30として露出させるべき領域が開口したレジストマスク76を形成する。このレジストマスク76は、本来は端子30を露出させるために用いられるものであるが、ここでは短絡用配線33の切断時にも兼用するマスクとするため、静電気対策配線部の側にも切断用孔37に相当する位置に開口部を設けておく。

【0088】

その後、図15（Q）に示すように、レジストマスク76を介して第2層間絶縁膜22のウェットエッチングを行い、端子部において端子6cを開口部22aから露出させる。ここまで工程、すなわち切断用孔37から短絡用配線33が露出した後、ITO膜75の成膜、エッチング等を行う工程を経る間で、多結晶シリコン膜からなる短絡用配線33の表面に自然酸化膜（シリコン酸化膜）が形成される。ところが、短絡用配線33の表面も、第2層間絶縁膜22のウェットエッチング時に用いるエッチング液に晒されるので、その自然酸化膜もエッチングされ、短絡用配線33の表面は多結晶シリコン膜がむき出しの状態となる。これにより、次に短絡用配線33を切断する際に多結晶シリコン膜が確実にエッチングされ、短絡用配線33が確実に切断されることになる。

【0089】

さらに、静電気対策配線部の側では、ドライエッチング等を用いて切断用孔3

7から露出した短絡用配線33をエッティングすることにより、短絡用配線33をこの箇所で切断する。これにより、データ線3、走査線4、信号配線74(16, 17)等の各配線が電気的に分離される。特に本実施の形態の場合、このように製造工程の最終工程で短絡用配線33(第1, 第2, および第3の短絡用配線41, 42, 43)を切断するので、それ以前の多くの工程で発生する静電気に対して短絡用配線33が有効に機能する。なお、短絡用配線33の切断時に、多結晶シリコン膜からなる短絡用配線33をエッティングすると、単結晶シリコン膜からなるその下のエッティング停止層38もエッティングされるため、図15(Q)に示したように、短絡用配線33切断後の状態では切断用孔37の内部にあたるエッティング停止層38が除去され、周縁部のエッティング停止層38のみが環状に残った状態になる場合がある。ところが、そのような状態になったとしても、既にエッティング停止層38の役目は終わった後なので何ら支障はない。

【0090】

[本実施の形態の効果]

以上説明したように、本実施の形態によれば、データ線駆動回路10および走査線駆動回路11の各々に向けて複数の端子30(13, 14, 15)からそれぞれ引き回された信号配線74(16, 17)を第1の短絡用配線41で電気的に接続した状態で各工程を実施する。よって、製造工程中に静電気が発生したり、絶縁基板表面に電荷が蓄積されても、かかる電荷が第1の短絡用配線41を介して基板外周側に拡散するので、過剰な電流がデータ線駆動回路10および走査線駆動回路11に突発的に流れることがない。その結果、データ線駆動回路10および走査線駆動回路11を保護することができる。しかも、TFT2の形成工程、各種配線の形成工程、さらには端子30の形成工程におけるコンタクトホールの形成、パターニング、エッティング等の工程を兼用しながら、第1の短絡用配線41の形成、切断用孔37の形成、この切断用孔37を通した第1の短絡用配線41の切断を行うことができる。したがって、静電気対策を施さない場合と比べても、特に製造プロセスが複雑になることはない。

【0091】

同様に、走査線4の各々に電気的に接続された第2の短絡用配線42を利用し

て過剰な電流が走査線4に突発的に流れるのを防止するので、走査線4や画素部9を保護することができる。さらに、データ線3の各々に電気的に接続された第3の短絡用配線43を利用して過剰な電流がデータ線3に突発的に流れるのを防止するので、データ線3や画素部9を保護することができる。

【0092】

以上は静電気対策としての短絡用配線を設けたことによる効果であるが、特に本実施の形態の場合は、短絡用配線33の下にエッティング停止層38を設けたことにより短絡用配線33の切断時に格別な効果が得られる。すなわち、従来の短絡用配線の切断部の構造では、図16(B)に示したように、短絡用配線が埋込酸化膜上に直接形成されていたため、端子部開口のための第2層間絶縁膜のエッティングを行うと、基板と埋込酸化膜の界面でエッティングが過剰に進行し、これが絶縁膜クラックや剥がれの原因となっていた。

【0093】

これに対して、本実施の形態の構造では、図16(A)に示したように、短絡用配線33と埋込酸化膜62との間にエッティング停止層38が介在し、このエッティング停止層38は単結晶シリコン膜であるから、第2層間絶縁膜22(BPSG膜とNSG膜の積層膜)のエッティングに対する耐性を充分に有しているので、エッティング停止層38のところでエッティングは停止し、埋込酸化膜62が基板63との貼り合わせ界面までエッティングされることはない。その結果、本実施の形態によれば、短絡用配線33の切断工程に伴う絶縁膜のクラックや剥がれの発生を確実に防止することができる。その結果、静電破壊等に起因する表示欠陥が少なく、高画質、高信頼性の液晶装置を実現することができる。

【0094】

なお、エッティング停止層38の表面にゲート絶縁膜をなすシリコン酸化膜65が形成されているので、実際はエッティング液がエッティング停止層38表面に到達した後、エッティングがシリコン酸化膜65に沿って横方向に進行する。図16(A)を見る限り、あくまでも図面上は、オーバーエッチ分が大きくなると、エッティングがシリコン酸化膜65を経由して埋込酸化膜62にまで達するようにも見えてしまう。しかしながら、実際には膜厚方向の寸法に対して横方向の寸法はは

るかに大きく、また、エッチング停止層38の外周部が切断用孔37の外側にはみ出す部分の寸法を、第2層間絶縁膜22のエッチング条件との兼ね合いで適宜設定することにより、エッチングが埋込酸化膜62にまで達しないようにすることは容易に可能である。

【0095】

さらに本実施の形態の場合、エッチング停止層38をTFT2の半導体能動膜27と同層の単結晶シリコン膜で構成しており、TFT2の半導体能動膜27の形成工程を用いてエッチング停止層38のパターニングを行っている。したがって、エッチング停止層38の形成に関しても新たな工程を追加する必要がなく、この点からも製造プロセスを複雑化することがない。

【0096】

【第2の実施の形態】

以下、本発明の第2の実施の形態の液晶装置について図17および図18を用いて説明する。

図2に示した第1の実施の形態では、第1、第2、および第3の短絡用配線41, 42, 43をそれぞれ信号配線16, 17、走査線4、およびデータ線3に接続し、アクティブマトリクス基板7の製造工程が終了した後に各線を分離した。これに対して、本実施の形態では、図17および図18に示すように、データ線駆動回路10および走査線駆動回路11を駆動する複数の信号を供給するために複数の端子30(13, 14, 15)からそれぞれ引き回された複数の信号配線のうち、静電保護回路18, 19よりも端子30(13, 14, 15)側に位置する信号配線16, 17のみに対して第1の短絡用配線41を形成している。また、データ線3に対しても第3の短絡用配線43を形成している。その他の構成および製造方法は、第2の短絡用配線42を形成しない点を除けば、第1の実施の形態と同様であるため、共通の構成要素については図17および図18に同じ符号を付して、それらの説明を省略する。

【0097】

このように構成した場合でも、静電気が発生したり、絶縁基板12表面に電荷が蓄積されても、かかる電荷を第1および第3の短絡用配線41, 43を介して

基板外周側に拡散させることができるので、データ線駆動回路10および走査線駆動回路11に対して過剰な電流が突発的に流れることがない。そのため、データ線駆動回路10および走査線駆動回路11を保護することができる。

【0098】

【第3の実施の形態】

以下、本発明の第2の実施の形態の液晶装置について図19および図20を用いて説明する。

【0099】

図2に示した第1の実施の形態では、第1ないし第3の短絡用配線41, 42, 43をそれぞれ信号配線16, 17、走査線4、およびデータ線3に接続し、アクティブマトリクス基板7の製造工程が終了した後に各線を分離した。これに対して、本実施の形態では、図19および図20に示すように、データ線駆動回路10および走査線駆動回路11の各々に向けて複数の端子13, 14, 15からそれぞれ引き回された信号配線16, 17に対して第1の短絡用配線41を形成している。また、走査線4に対しても第2の短絡用配線42を形成している。その他の構成および製造方法は、第3の短絡用配線43を形成しないことを除けば、第1の実施の形態と同様であるため、共通の構成要素については図19および図20に同じ符号を付して、それらの説明を省略する。

【0100】

このように構成した場合でも、静電気が発生したり、絶縁基板表面に電荷が蓄積されても、かかる電荷を第1および第2の短絡用配線41, 42を介して基板外周側に拡散させることができるので、データ線駆動回路10、走査線駆動回路11、および走査線4に対して過剰な電流が突発的に流れることがない。そのため、データ線駆動回路10、走査線駆動回路11、および走査線4を保護することができる。

【0101】

【液晶装置の全体構成】

次に、液晶装置の全体構成について図21を用いて説明する。なお、図21(A)は、アクティブマトリクス基板7をその上に形成された各構成要素とともに

対向基板の側から見た平面図であり、図21（B）は、対向基板を含めて示す図21（A）のH-H'線に沿う断面図である。

【0102】

図21（A）および（B）に示すように、上記実施の形態のアクティブマトリクス基板7の上には、その縁に沿ってシール材80が設けられており、その内側に並行して額縁としての遮光膜81が設けられている。シール材80の外側の領域には、データ線駆動回路10および端子13, 14, 15がアクティブマトリクス基板7の一辺に沿って設けられており、走査線駆動回路11がこの一辺に隣接する2辺に沿って設けられている。走査線4に供給される走査信号遅延が問題にならないのならば、走査線駆動回路11は片側だけでも良いことは言うまでもない。また、データ線駆動回路10を画像表示領域の辺に沿って両側に配列してもよい。例えば、奇数列のデータ線3は画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線3は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。このようにデータ線3を櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。さらに、アクティブマトリクス基板7の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路11間をつなぐための複数の配線82が設けられている。また、対向基板83のコーナー部の少なくとも1箇所には、TFTアレイ基板7と対向基板83との間で電気的導通をとるための導通材84が設けられている。そして、シール材80とほぼ同じ輪郭を持つ対向基板83が当該シール材80によりアクティブマトリクス基板7に固着されている。また、TFTアレイ基板7と対向基板83との間の液晶85はシール材80の開口部で封止材86により封入されている。

【0103】

[液晶装置の使用例]

上記実施の形態に係る液晶装置を透過型として構成した場合の電子機器への使用例を、図22および図23を参照して説明する。

【0104】

上記実施の形態の液晶装置を用いて構成される電子機器は、図22のブロック図に示すように、表示情報出力源100、表示情報処理回路102、表示駆動装置104、液晶表示パネル106、クロック発生回路108、および電源回路110を含んで構成される。表示情報出力源100は、ROM、RAMなどのメモリ、テレビ信号などを同調して出力する同調回路などを含んで構成され、クロック発生回路108からのクロックに基づいて表示情報を処理して出力する。この表示情報出力回路102は、例えば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、あるいはクランプ回路等を含んで構成され、液晶表示パネル106を駆動する。電源回路110は、上述の各回路に電力を供給する。

【0105】

このような構成の電子機器としては、図23に示す投射型液晶表示装置（液晶プロジェクタ）、マルチメディア対応のパソコン用（PC）、およびエンジニアリング・ワークステーション（EWS）、ページヤ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型またはモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備える装置などを挙げることができる。上記実施の形態の液晶装置の使用により、静電破壊等に起因する表示欠陥が少なく、高画質、高性能の液晶表示部を有する電子機器を実現することができる。

【0106】

図23に示す投射型液晶表示装置は、液晶表示パネルをライトバルブとして用いた投射型プロジェクタであり、例えば3枚プリズム方式の光学系を用いている。図23において、投射型液晶表示装置200では、白色光源のランプユニット202から出射された投射光がライトガイド204の内部で、複数のミラー206および2枚のダイクロイックミラー208によって、R（赤）、G（緑）、B（青）の3原色に分離され（光分離手段）、それぞれの色の画像を表示する3枚の液晶表示パネル210R、210G、210Bに導かれる。そして、それぞれの液晶表示パネル210R、210G、210Bによって変調された光は、ダイクロイックプリズム212（光合成手段）に3方向から入射される。ダイクロイ

ックプリズム212では、RおよびBの光が90°曲げられ、Gの光は直進するので、各色の光が合成され、投射レンズ214を通してスクリーンなどにカラー画像が投射される。

【0107】

特に投射型液晶表示装置の場合、画像が拡大投射するために表示欠陥が使用者の目にとまりやすい傾向にあるが、上記実施の形態の液晶表示パネルの使用により、静電破壊等に起因する表示欠陥が少なく、画質の良い投射画像を得ることができる。

【0108】

なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例えば上記実施の形態で例示したアクティブマトリクス基板を構成する各種膜の材料、膜厚等の具体的な記載に関しては適宜変更が可能である。また、配線層の構成に応じて、エッティング停止層および短絡用配線の構成材料も適宜変更して良い。そして、上記実施の形態の製造プロセス例は最も工程を追加しなくて済む例を示したが、製造プロセスが多少複雑化することを許容するならば、エッティング停止層の形成、短絡用配線の形成・切断には、その他、種々の方法を探ることが可能である。

【0109】

また、上記実施の形態では、原材料基板として貼り合わせS〇Q基板を用い、石英基板と埋込酸化膜との間が貼り合わせ界面である例を挙げたが、貼り合わせS〇Q基板の場合に限らず、下地酸化膜の成膜方法によっては基板と下地酸化膜の界面へのエッティング液の染み込みが問題になることもあり、例えば多結晶シリコンTFT型液晶装置用の基板などに対しても、本発明の構成を有効に適用することができる。

【0110】

さらに本発明の適用範囲としては、液晶装置用基板に限らず、エレクトロルミネッセンス、プラズマディスプレイ等、種々の電気光学装置に適用可能である。また、S〇I基板を用いて、例えば高周波用半導体デバイスを製造する場合等、

半導体装置にも適用可能である。

【0111】

【発明の効果】

以上、詳細に説明したように、本発明によれば、短絡用配線と下地酸化膜との間にエッチング停止層が介在し、このエッチング停止層が短絡用配線表面に形成された酸化膜のエッチングに対する耐性を有しているので、酸化膜エッチングはエッチング停止層のところで止まり、下地酸化膜と基板との貼り合わせ界面まではエッチングが進行することがない。これにより、短絡用配線の切断工程に伴う絶縁膜のクラックや剥がれの発生が確実に防止され、製造工程中の静電気や電荷から基板を保護することができる。さらに、このような静電気対策を行っても、製造プロセスがそれ程複雑化することなく、製造コストやTATの増大を抑制することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態の液晶装置における画像表示領域の等価回路図である。

【図2】 同、液晶装置を構成するアクティブマトリクス基板（液晶装置用基板）の構成を模式的に示すブロック図である。

【図3】 同、アクティブマトリクス基板における画素部のコーナー部分を拡大して示す平面図である。

【図4】 同、アクティブマトリクス基板における信号配線と短絡用配線との接続構造を示す平面図である。

【図5】 同、アクティブマトリクス基板における端子部の平面図である。

【図6】 同、アクティブマトリクス基板をマザーベース板に配列形成した様子を示す平面図である。

【図7】 図6に示すマザーベース板における領域Dを拡大して示す平面図である。

【図8】 同、アクティブマトリクス基板上に形成した静電保護回路を示す回路図である。

【図9】 同、アクティブマトリクス基板の製造方法を示す工程断面図であ

る。

【図10】 同、工程断面図の続きである。

【図11】 同、工程断面図の続きである。

【図12】 同、工程断面図の続きである。

【図13】 同、工程断面図の続きである。

【図14】 同、工程断面図の続きである。

【図15】 同、工程断面図の続きである。

【図16】 アクティブマトリクス基板上に形成した短絡用配線の切断時の断面構造を示す図であって、(A) 本実施の形態の場合、(B) 従来の場合、をそれぞれ示す。

【図17】 本発明の第2実施形態の液晶装置を構成するアクティブマトリクス基板の構成を模式的に示すブロック図である。

【図18】 同、アクティブマトリクス基板における画素部のコーナー部分を拡大して示す平面図である。

【図19】 本発明の第3実施形態の液晶装置を構成するアクティブマトリクス基板の構成を模式的に示すブロック図である。

【図20】 同、アクティブマトリクス基板における画素部のコーナー部分を拡大して示す平面図である。

【図21】 本発明の液晶装置の全体構成を示す図であって、(A) 平面図、(B) (A) のH-H'線に沿う断面図、である。

【図22】 本発明の液晶装置を用いた電子機器のブロック図である。

【図23】 本発明の液晶装置を用いた投射型液晶表示装置の光学系を示す模式図である。

【図24】 従来の液晶装置のアクティブマトリクス基板における画素部のコーナー部分を拡大して示す平面図である。

【図25】 同、アクティブマトリクス基板における信号配線と短絡用配線との接続構造を示す平面図である。

【図26】 同、アクティブマトリクス基板における端子部の平面図である

【図27】 同、アクティブマトリクス基板の製造方法を示す工程断面図である。

【図28】 同、工程断面図の続きである。

【図29】 同、工程断面図の続きである。

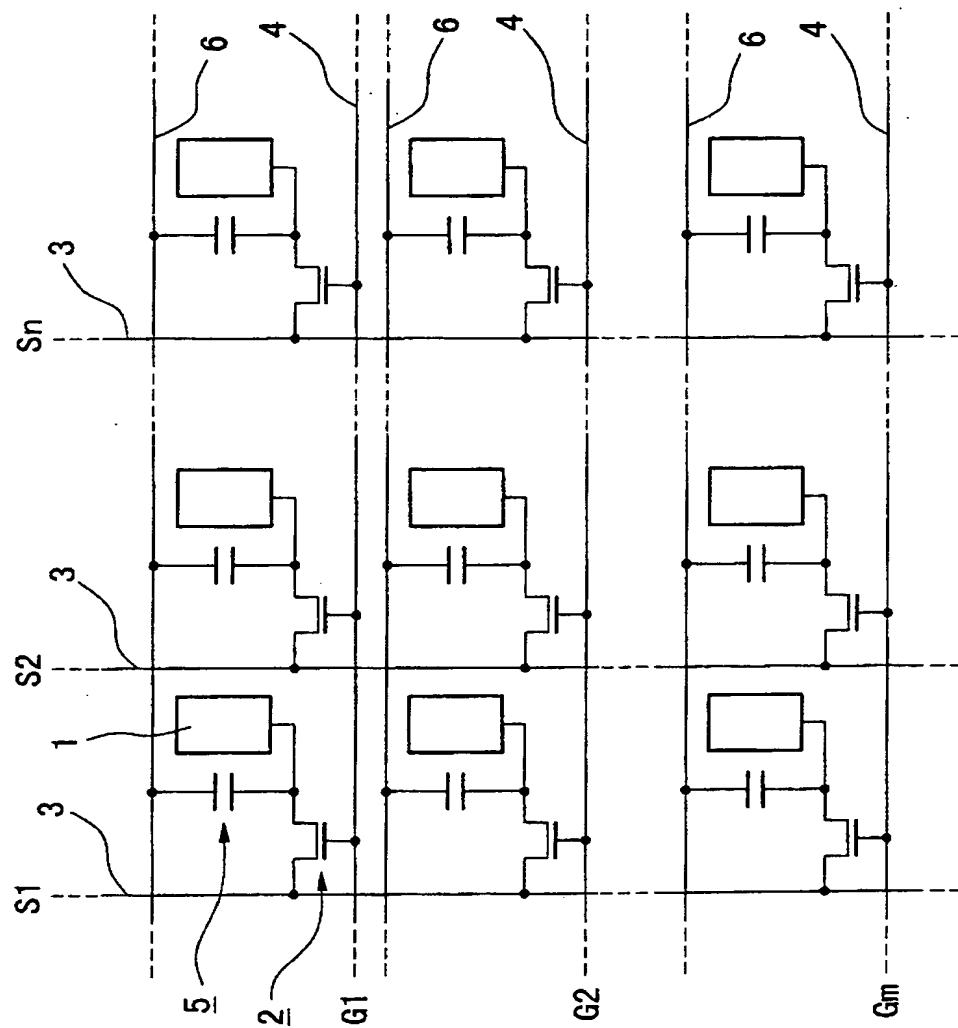
【図30】 図27～図29に示す工程のうち、短絡用配線の切断工程の説明図である。

【符号の説明】

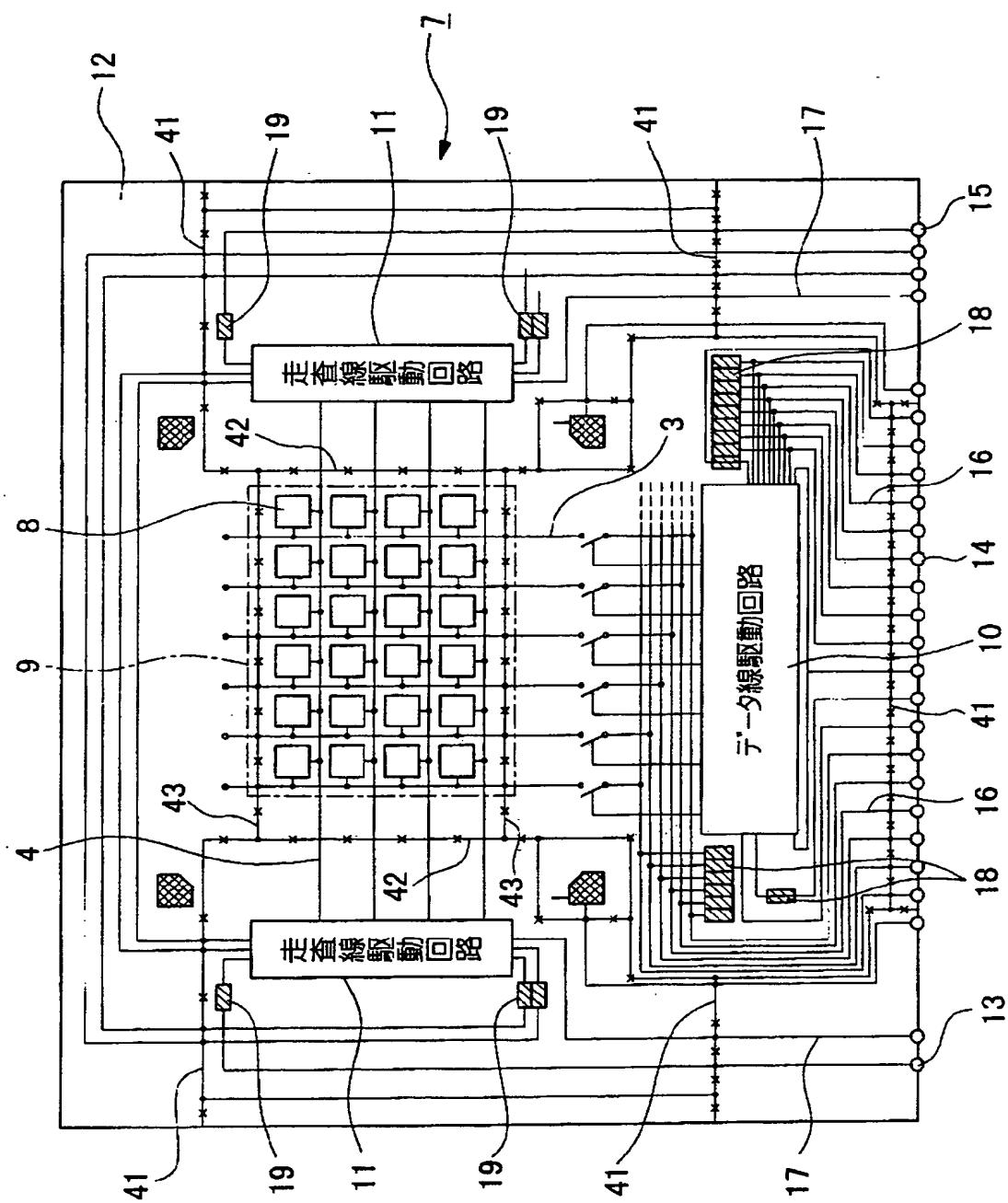
- 1 画素電極
- 2 薄膜トランジスタ（TFT）
- 3 データ線（信号線）
- 4 走査線（信号線）
- 7 アクティブマトリクス基板（液晶装置用基板）
- 8 画素
- 16, 17 信号配線
- 21 第1層間絶縁膜
- 22 第2層間絶縁膜
- 33 短絡用配線
- 37 切断用孔（孔）
- 38 エッチング停止層
- 41 第1の短絡用配線
- 42 第2の短絡用配線
- 43 第3の短絡用配線
- 44 静電気対策配線
- 61 単結晶シリコン層
- 62 埋込酸化膜（下地酸化膜）
- 63 石英基板（基板）

【書類名】 図面

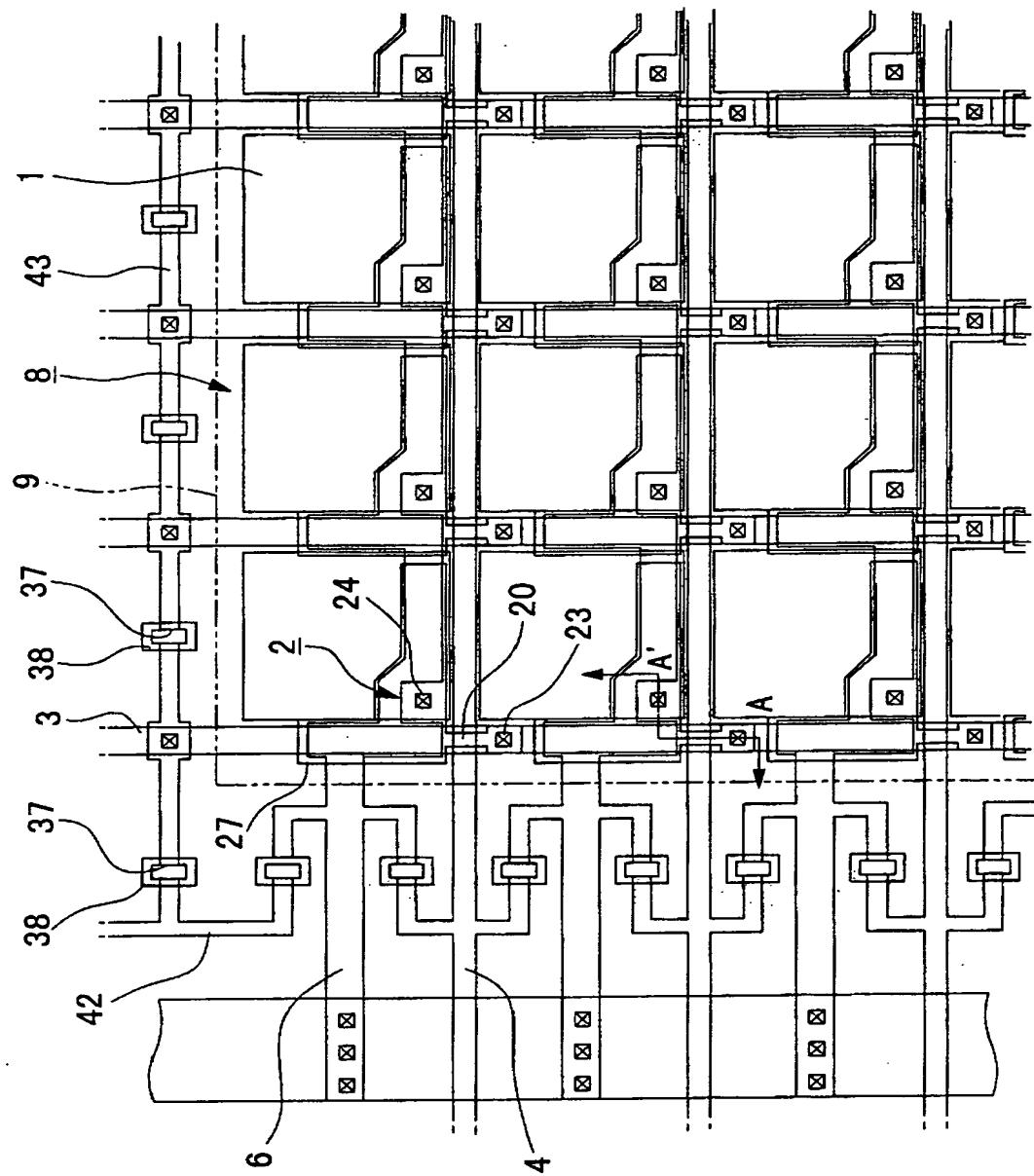
【図1】



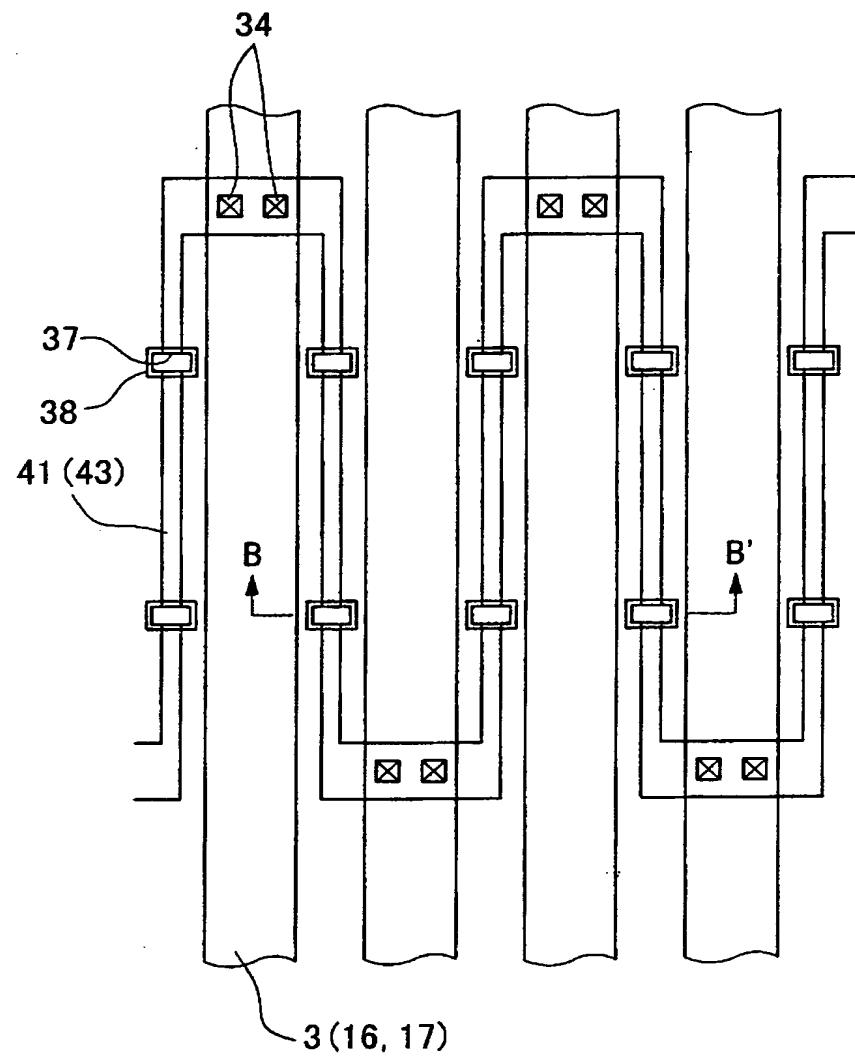
【図2】



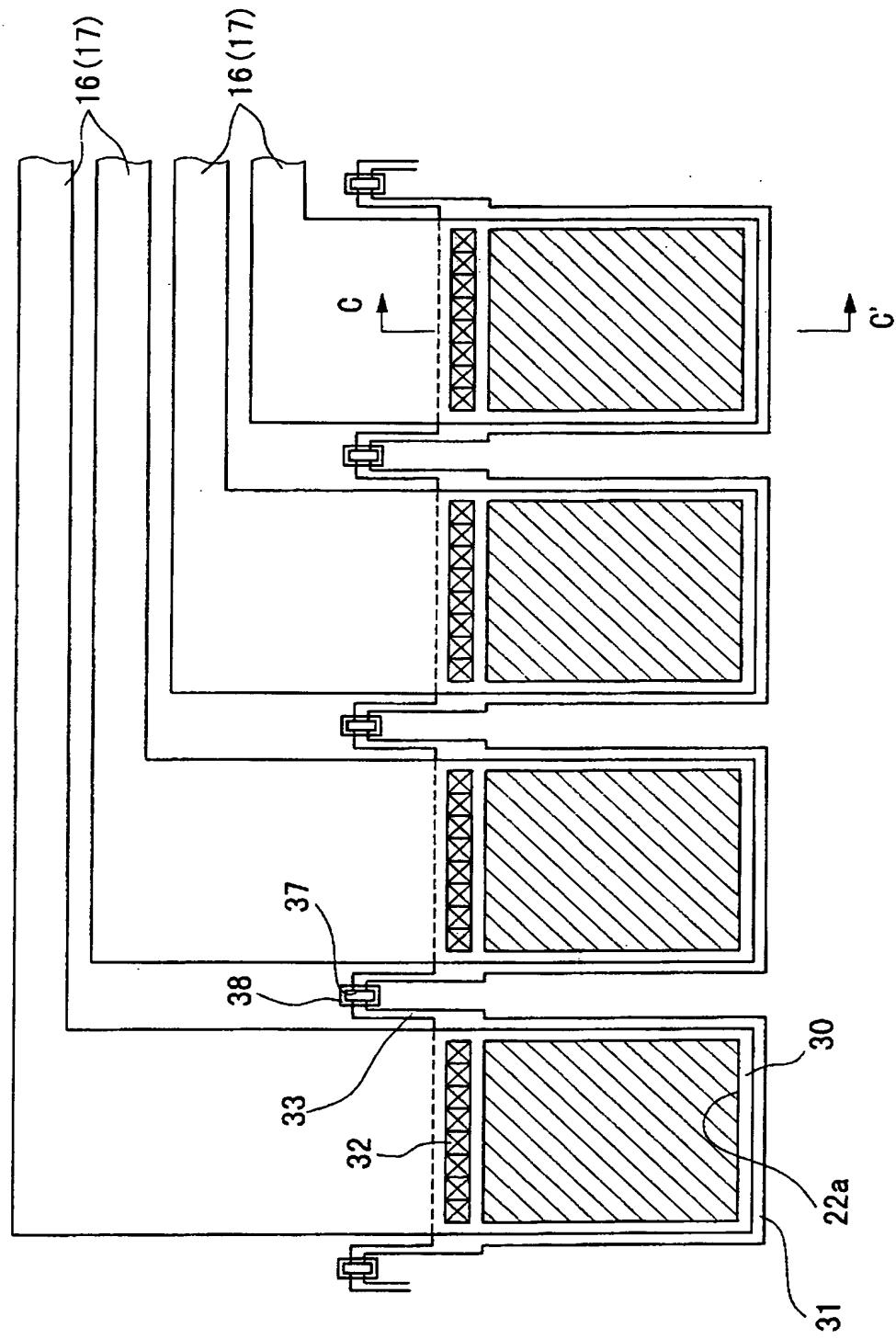
【図3】



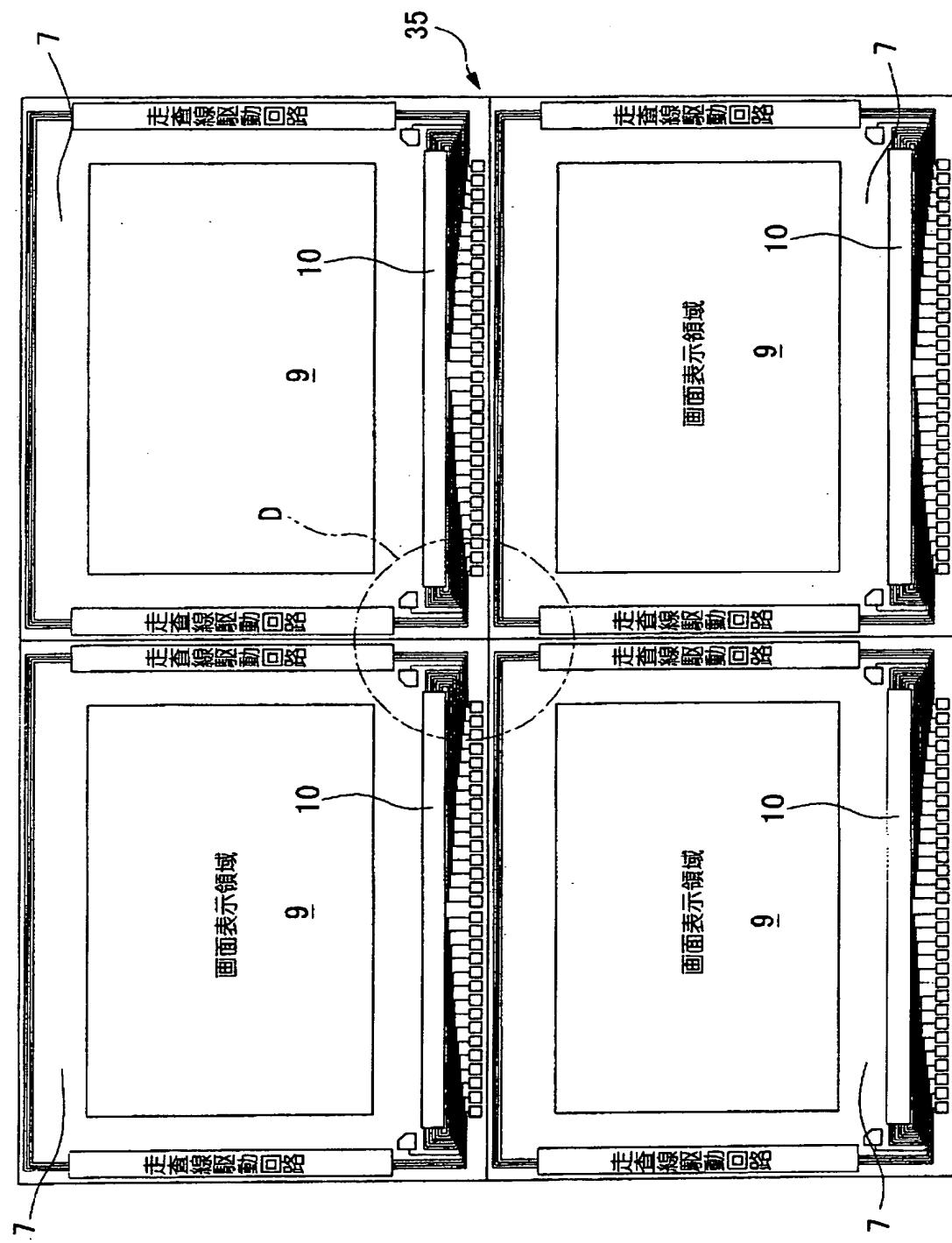
【図4】



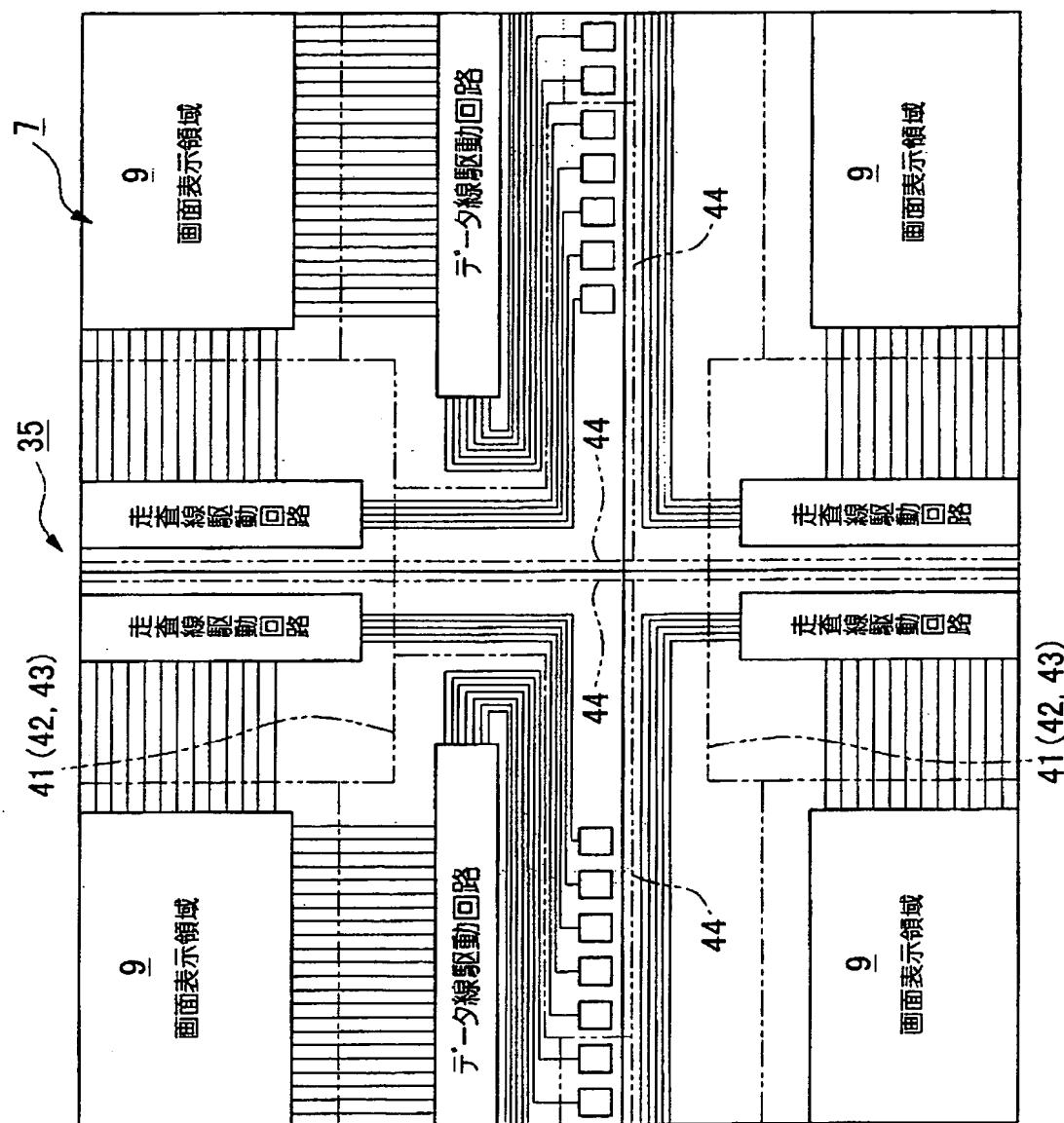
【図5】



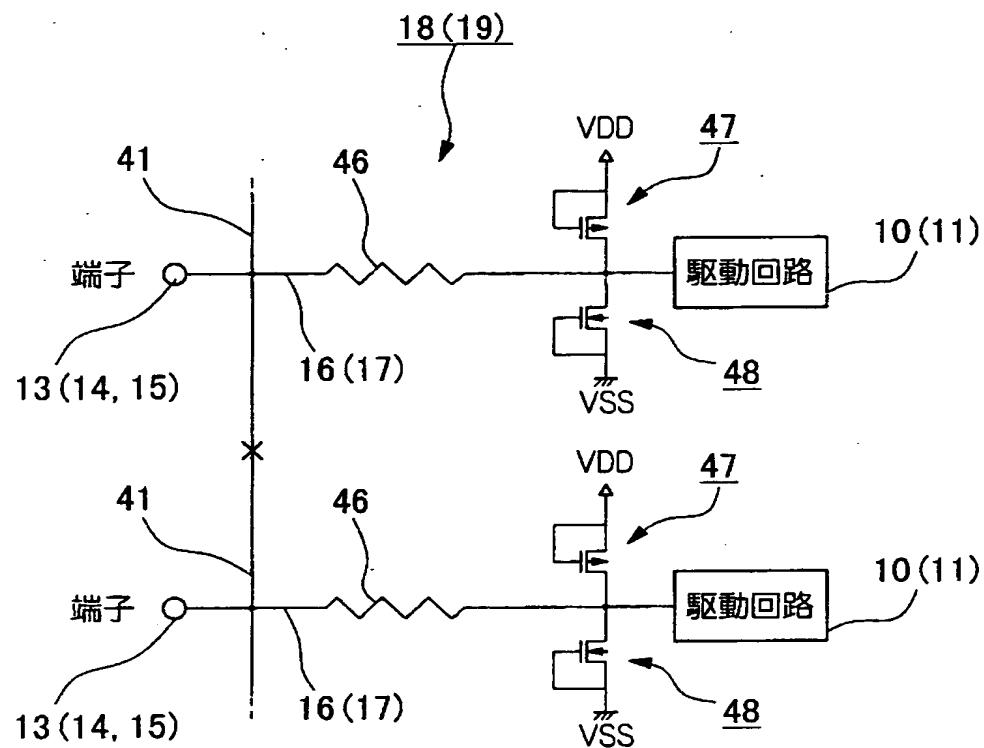
【図6】



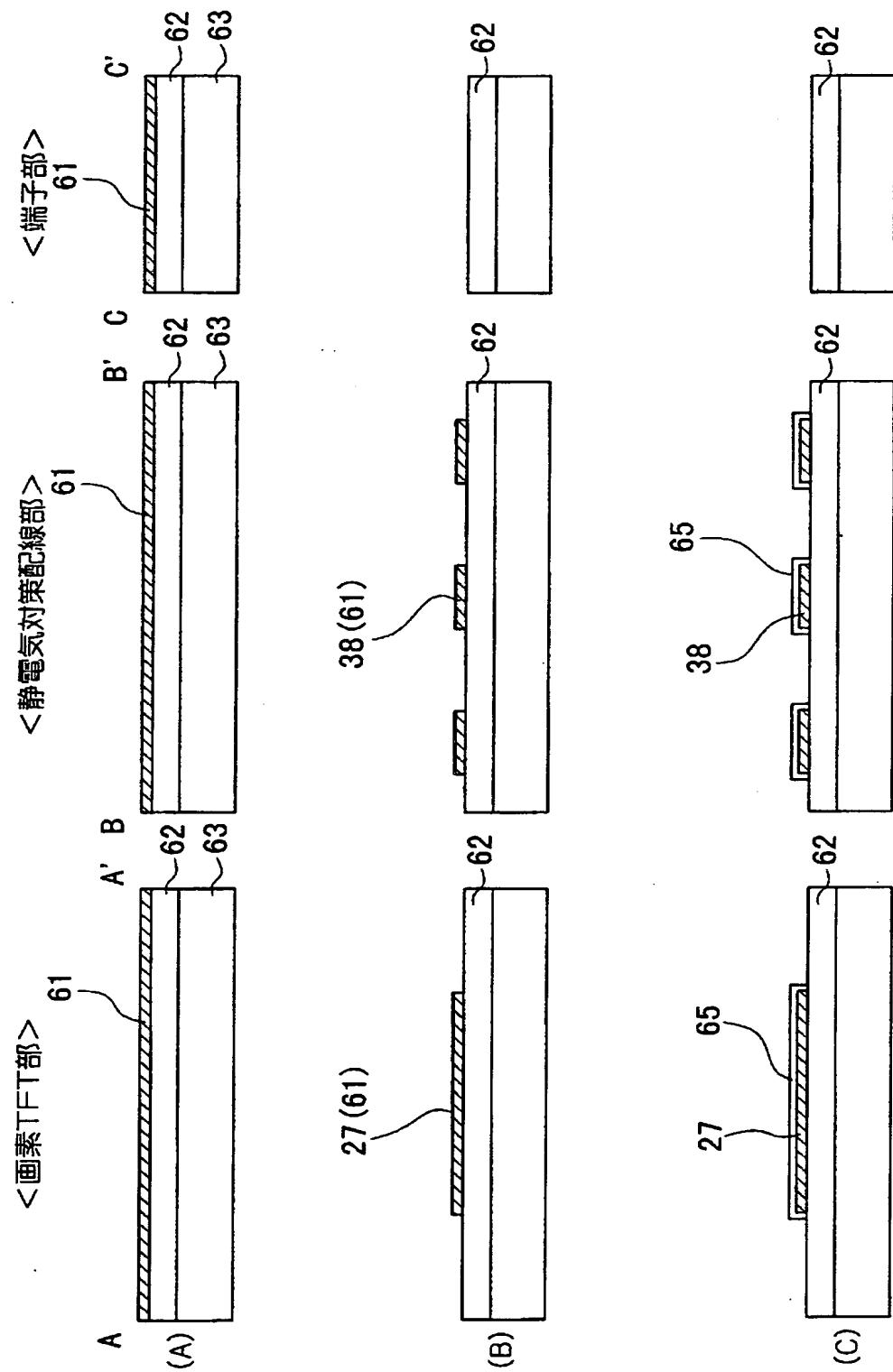
【図7】



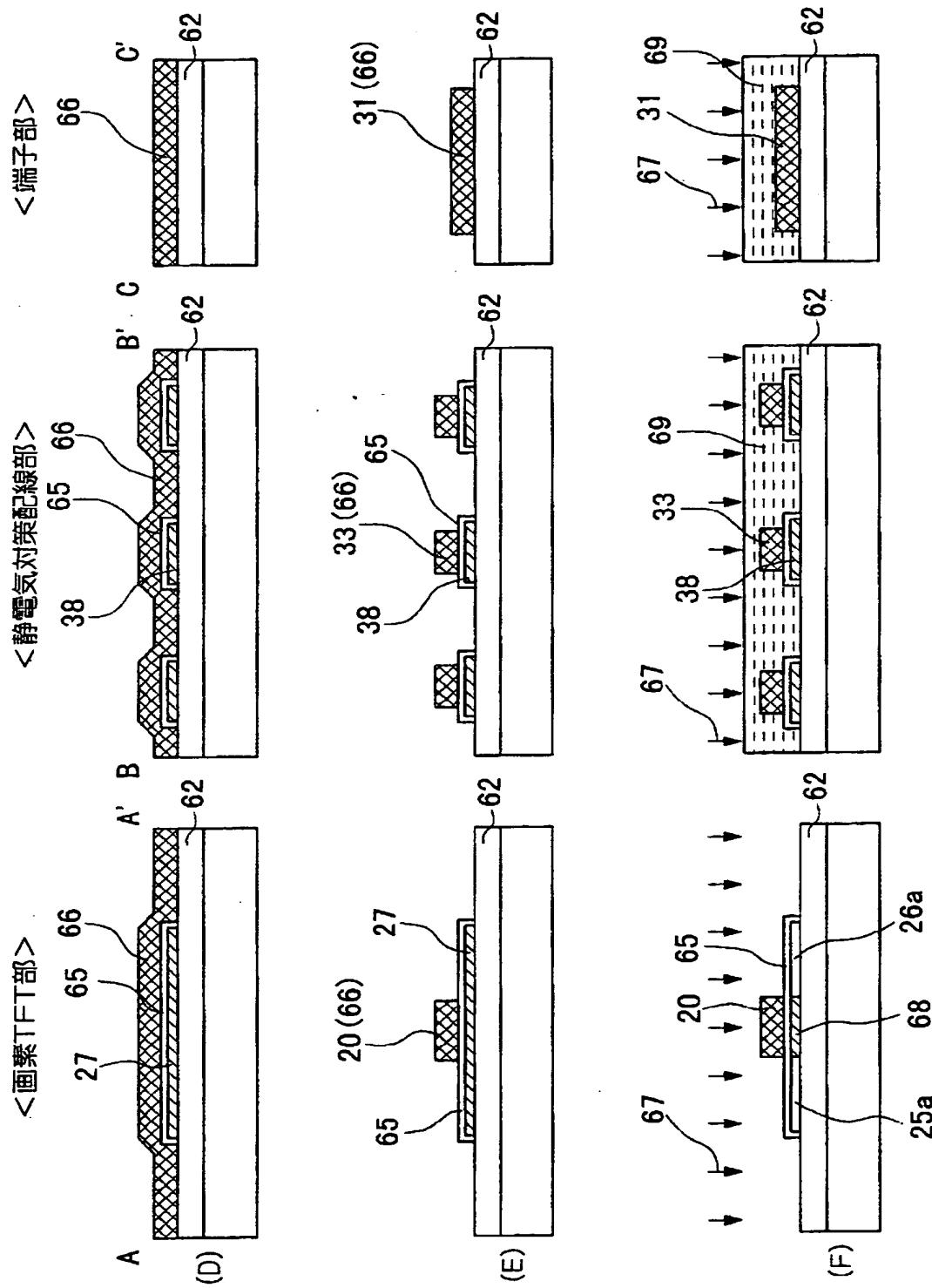
【図8】



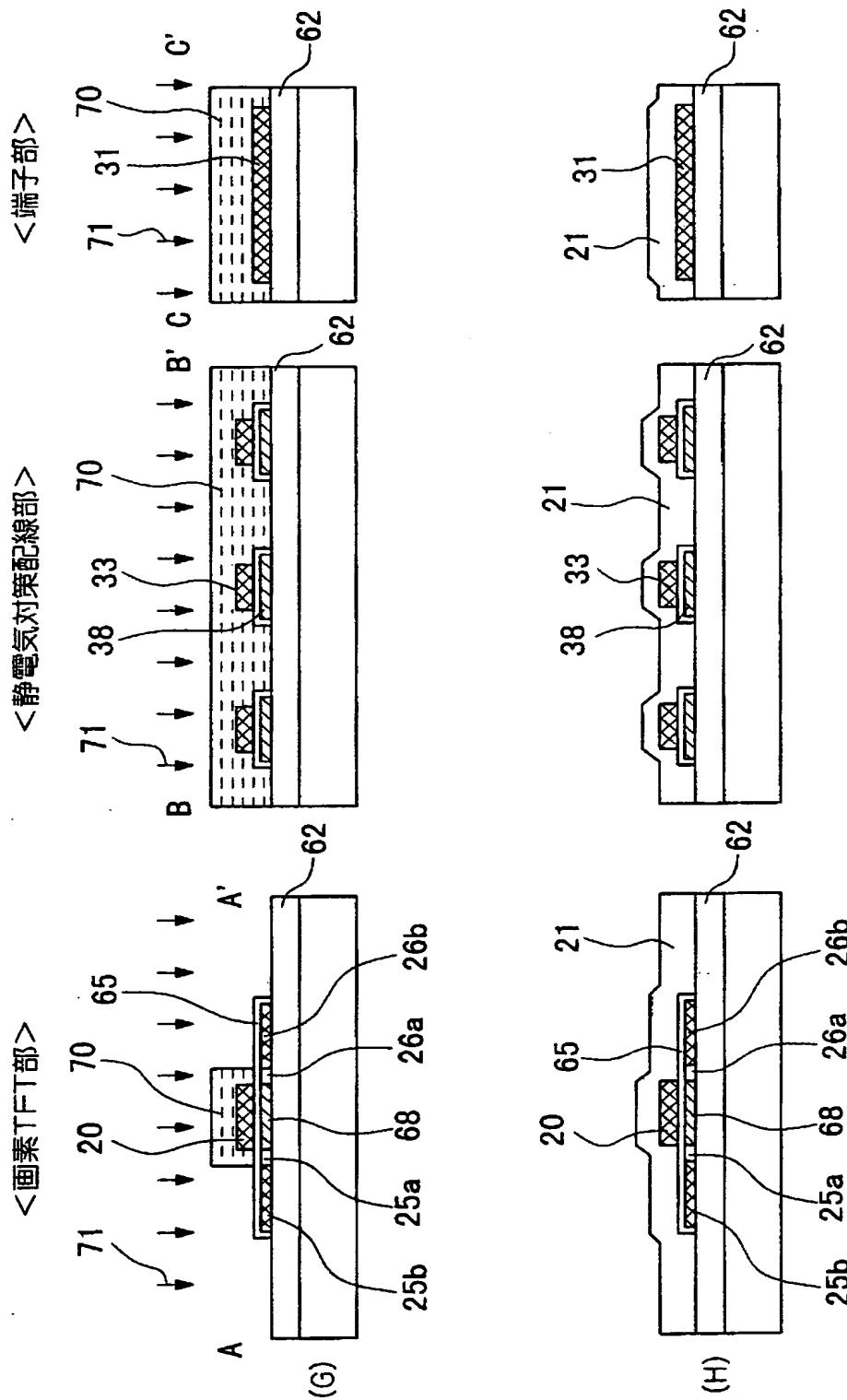
【図9】



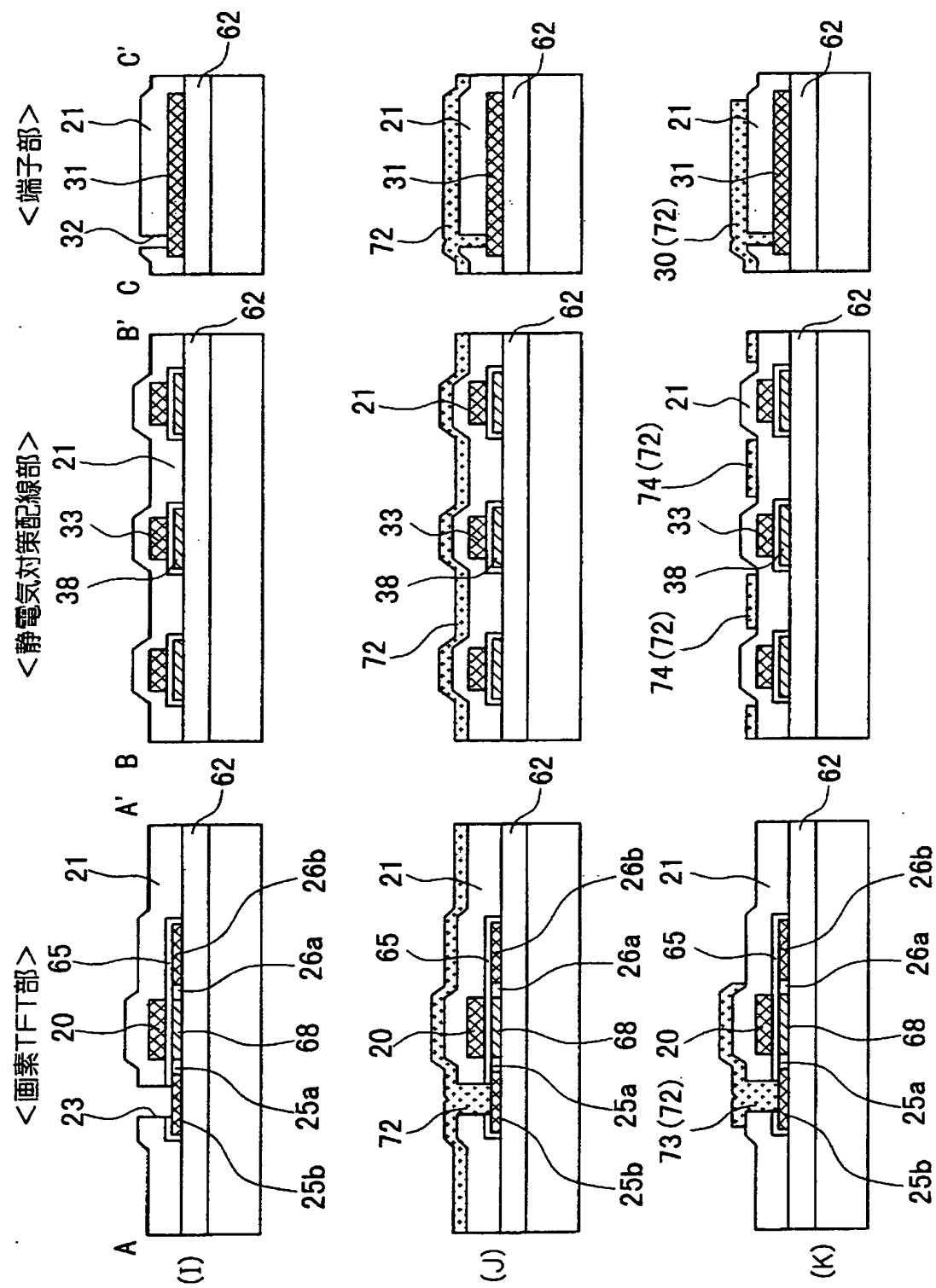
【図10】



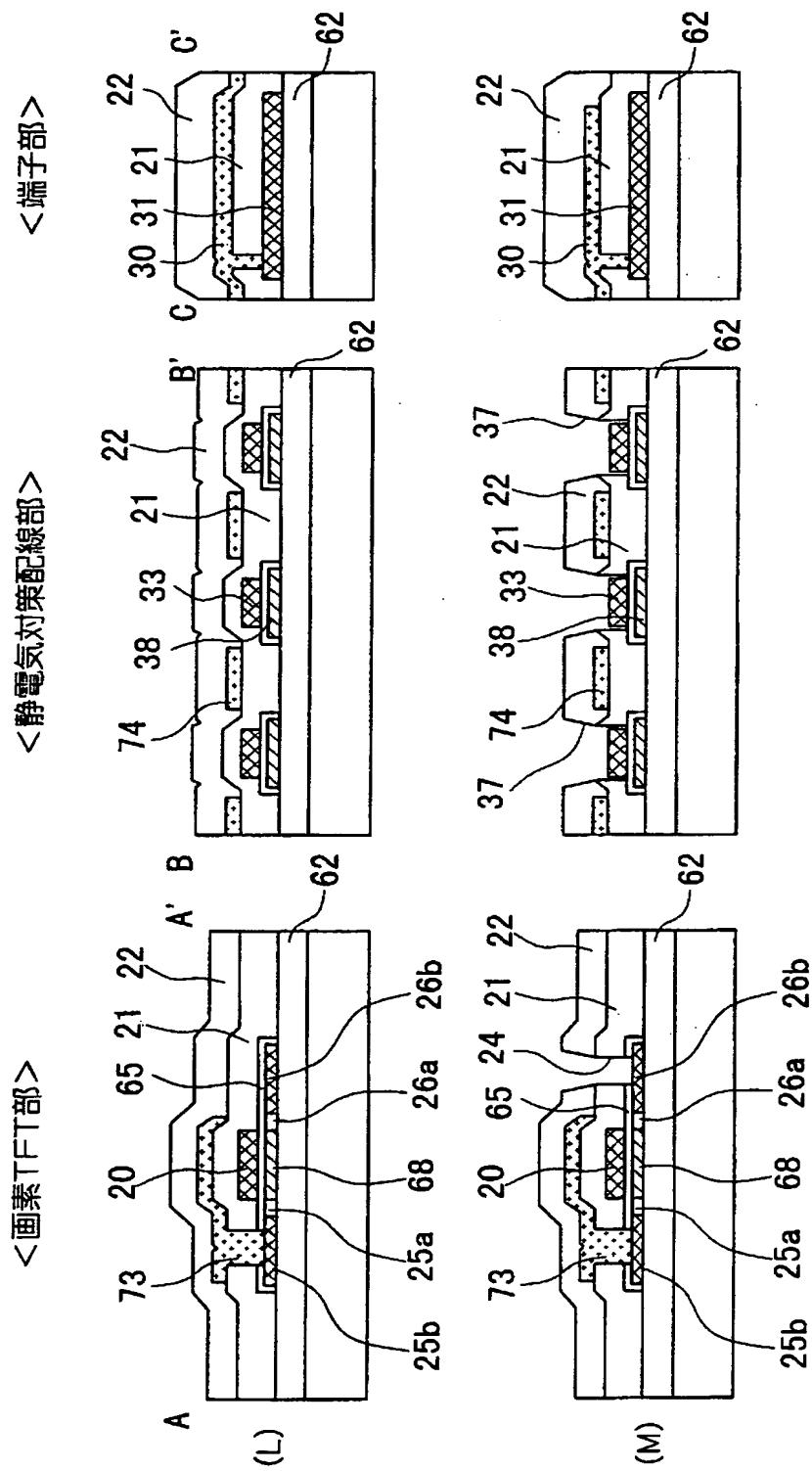
【図11】



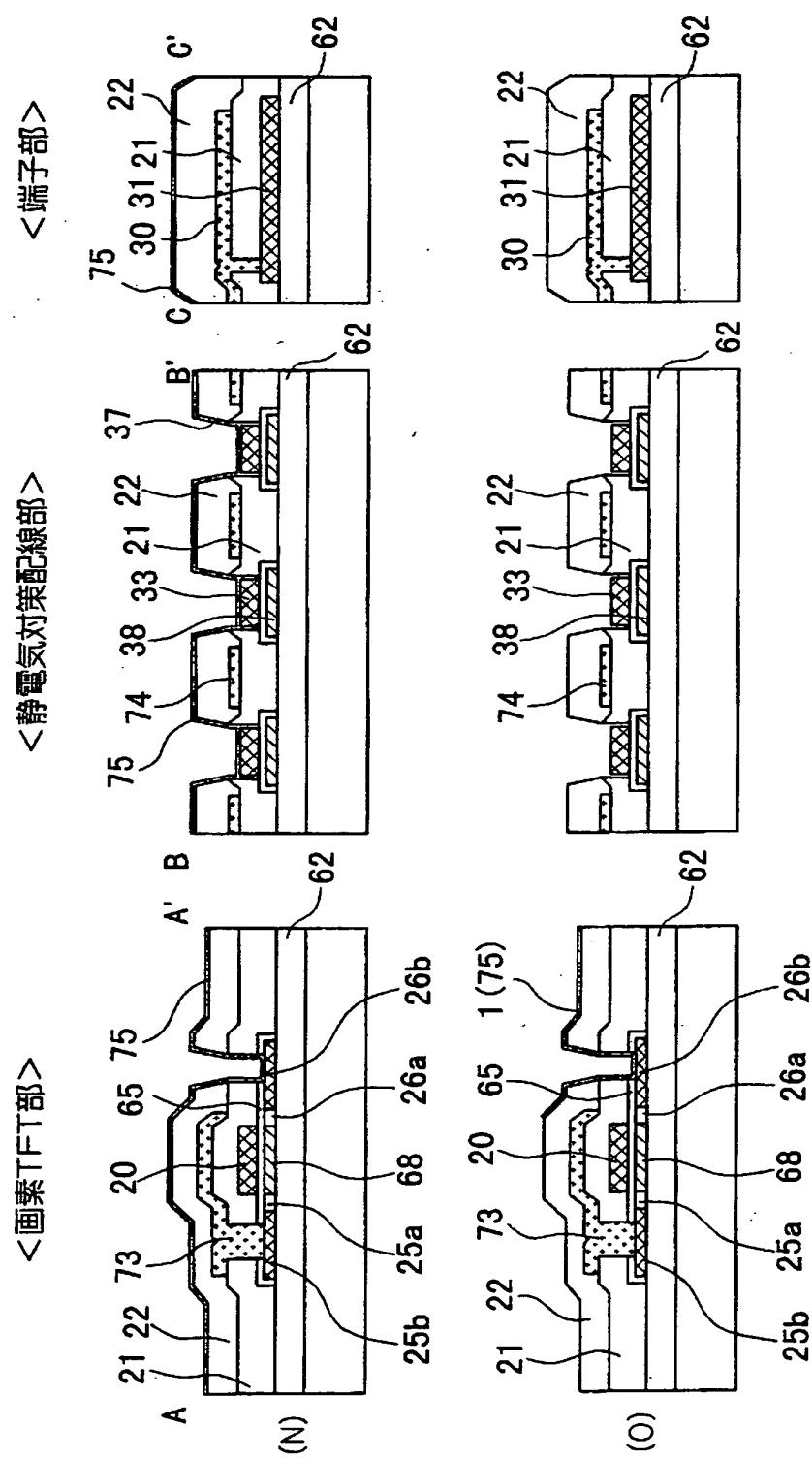
【図12】



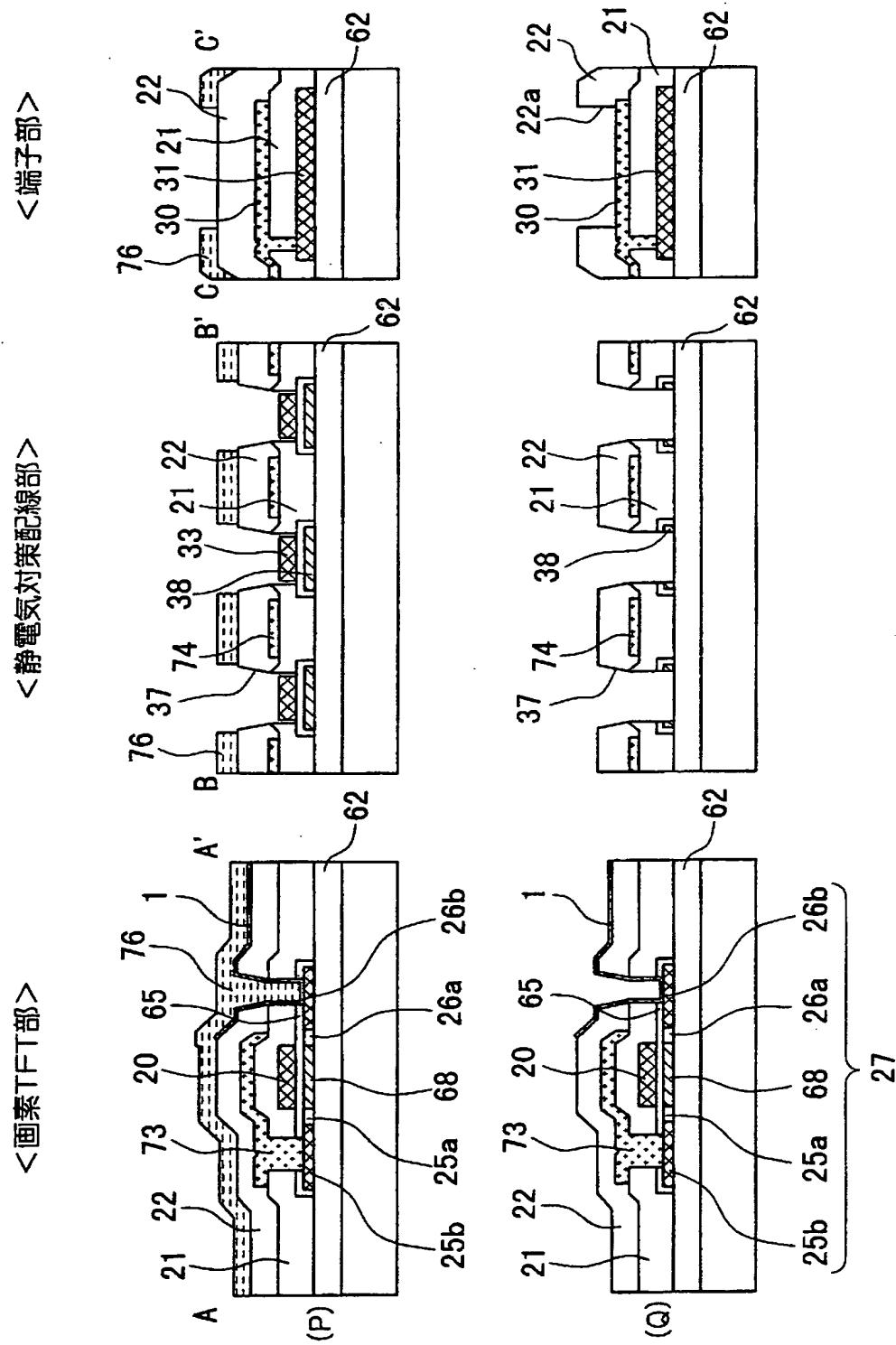
【図13】



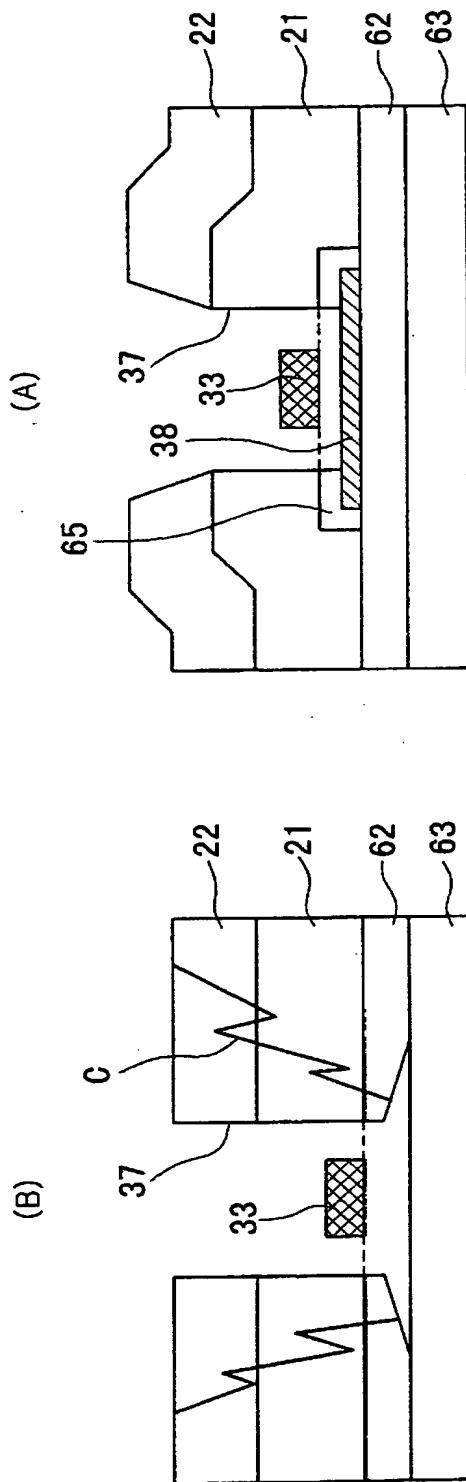
【図14】



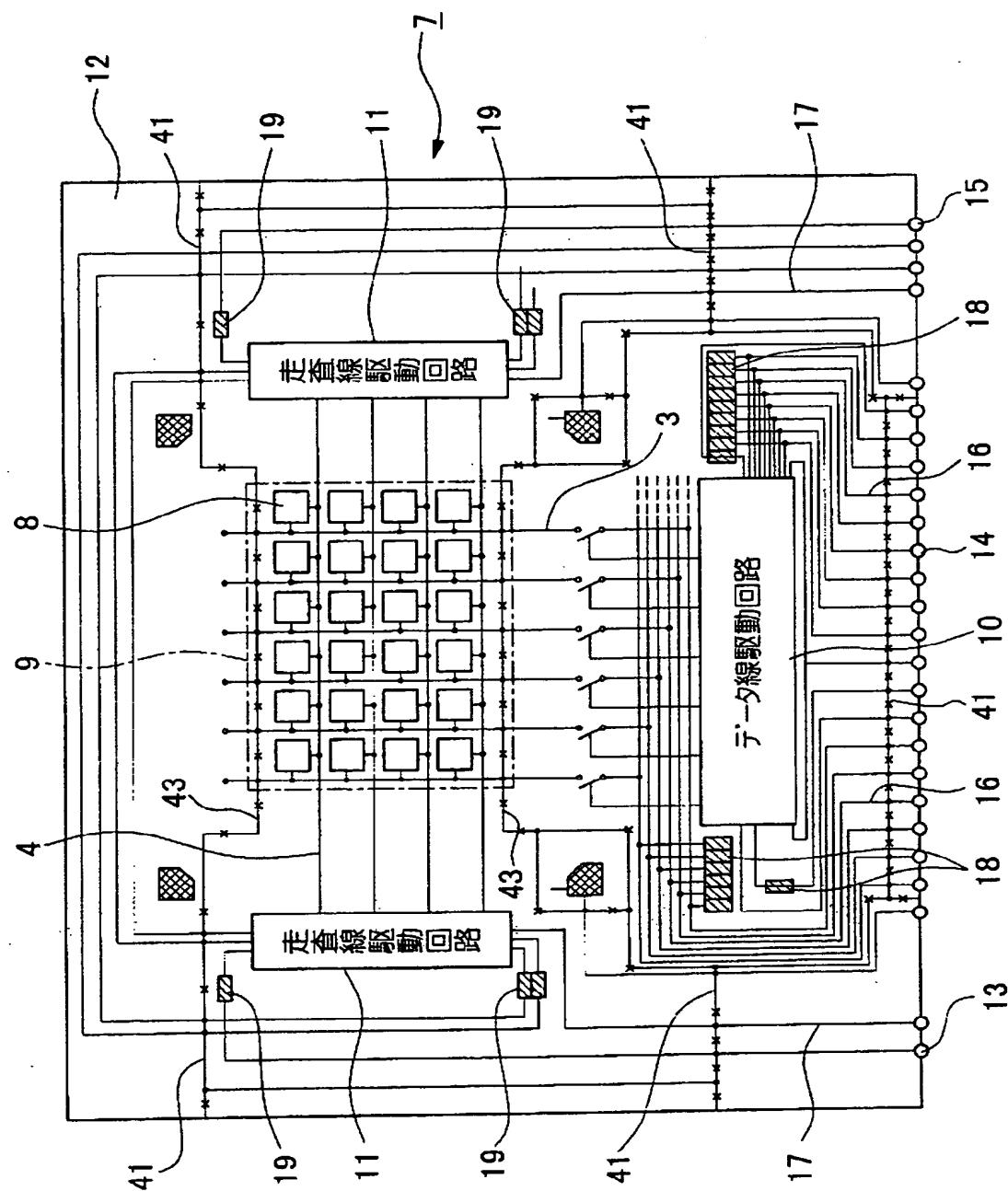
【図15】



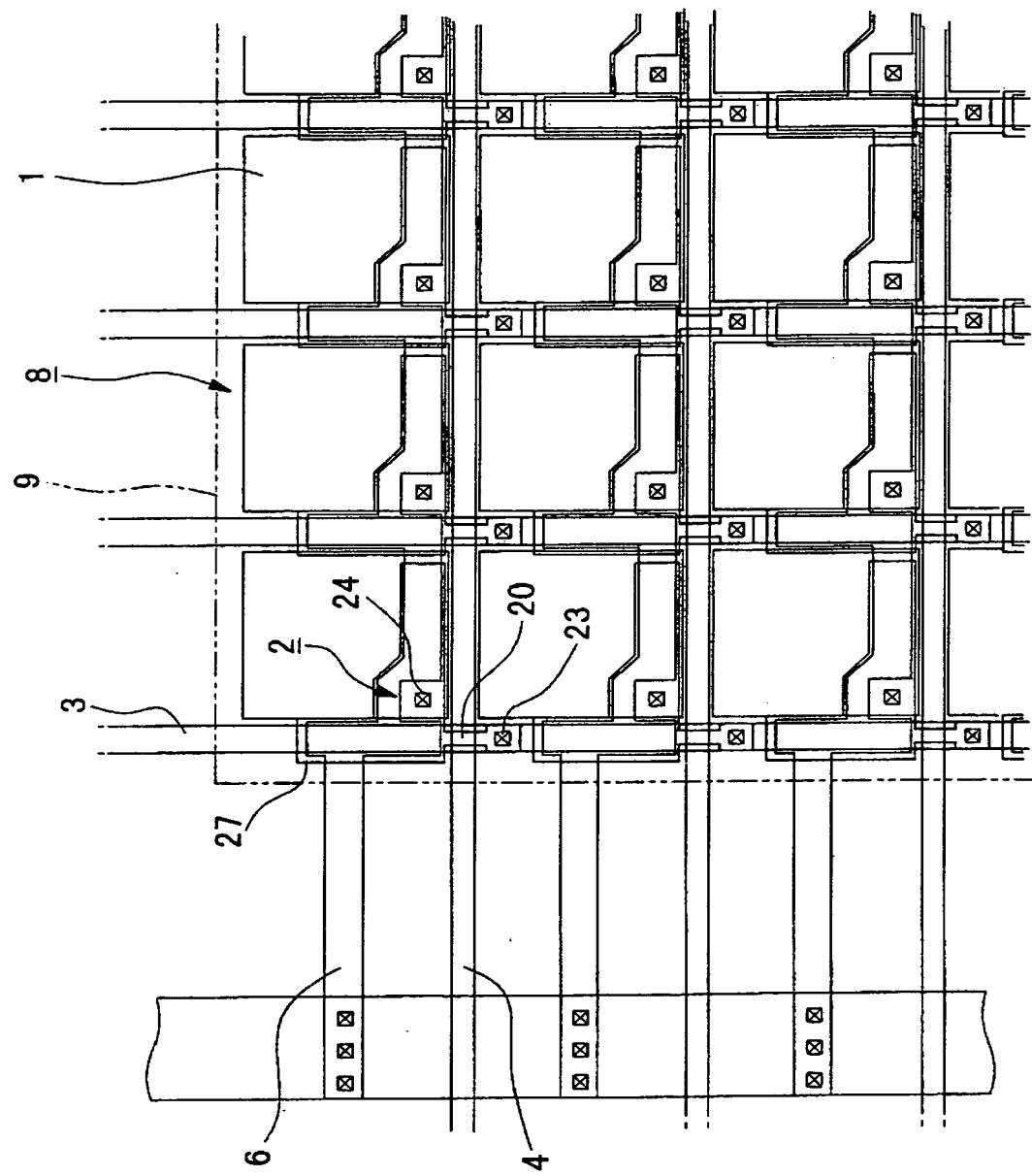
【図16】



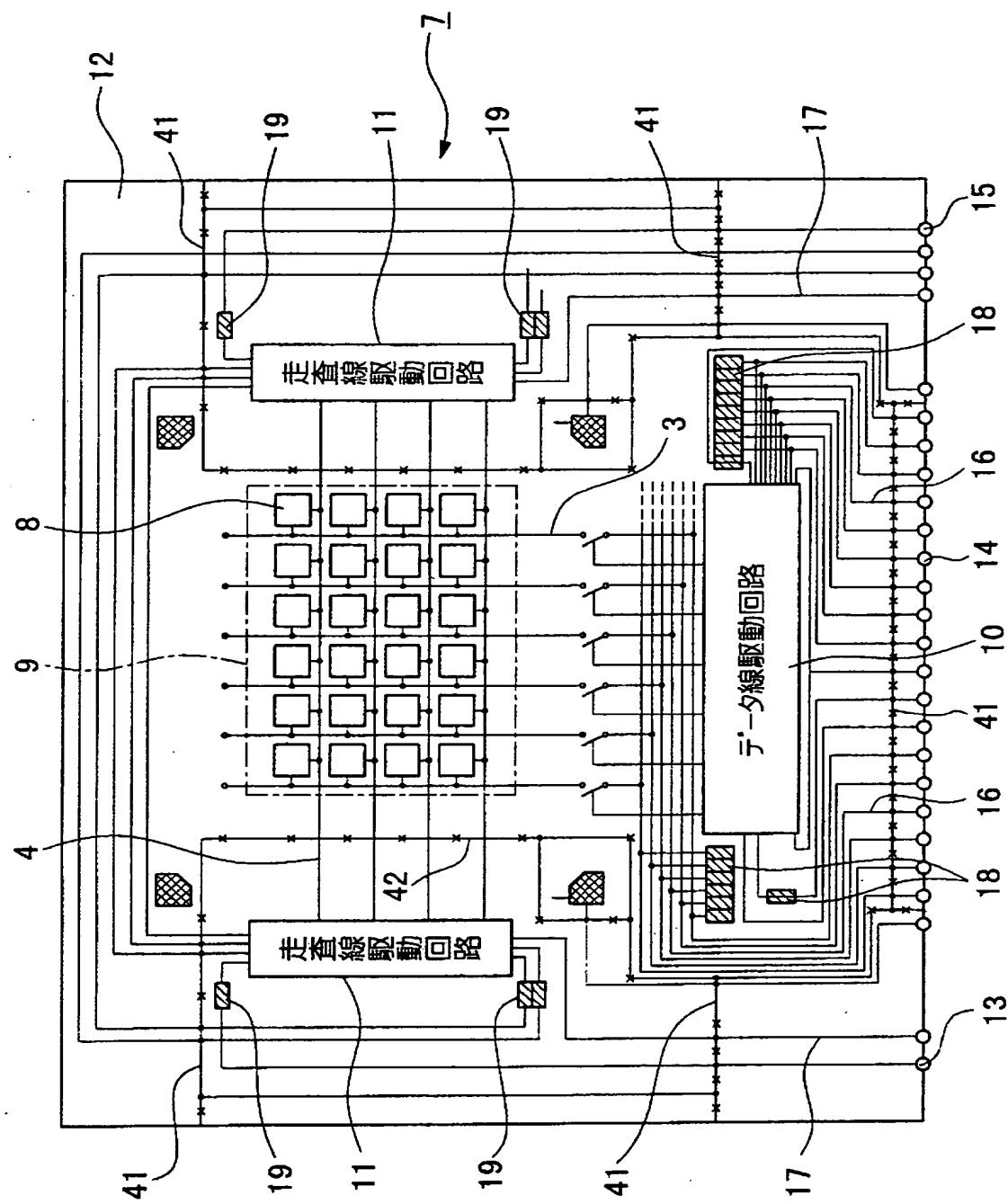
【図17】



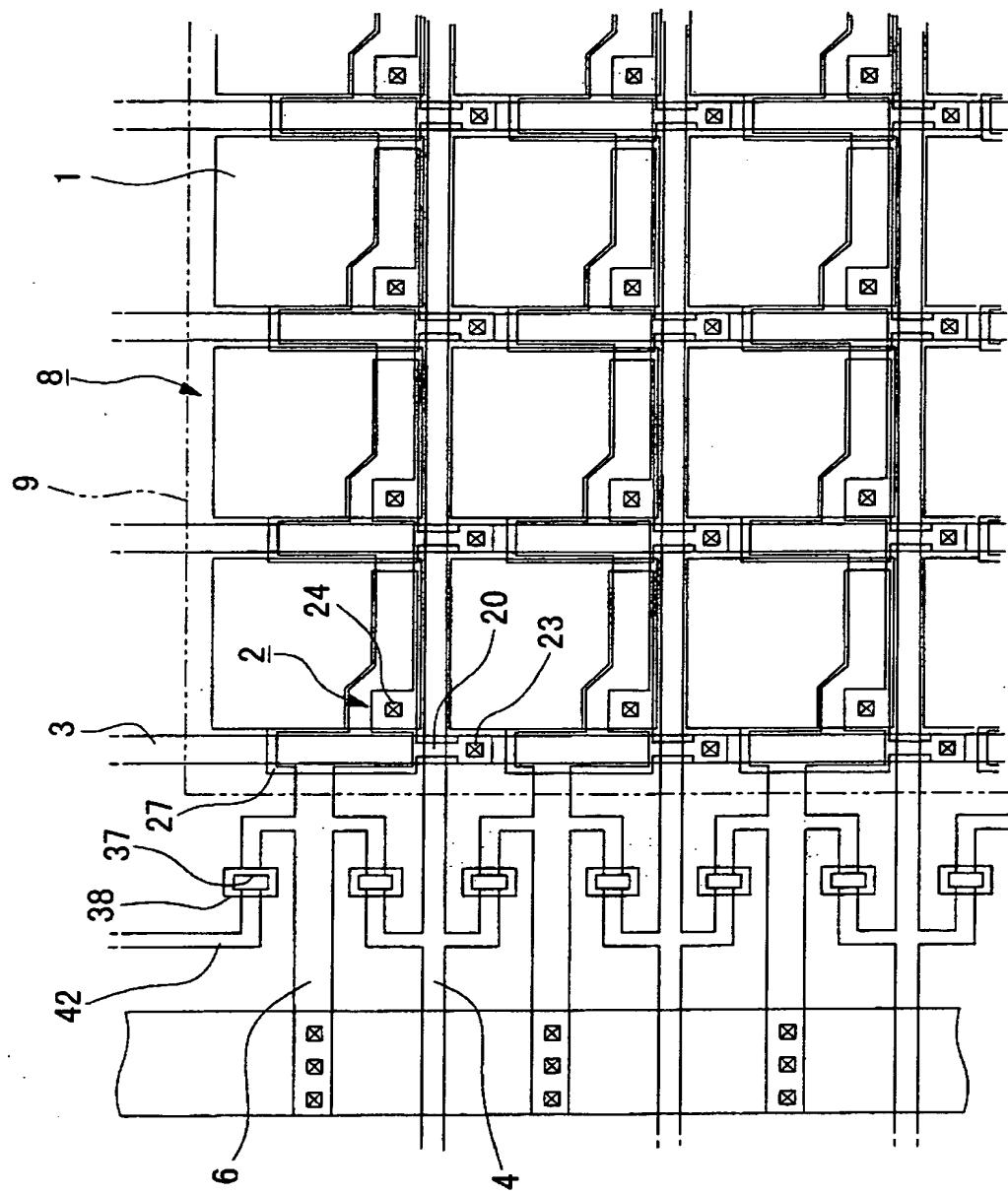
【図18】



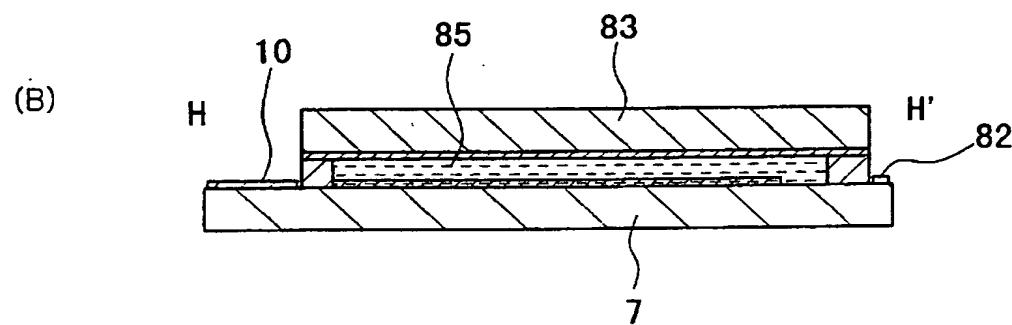
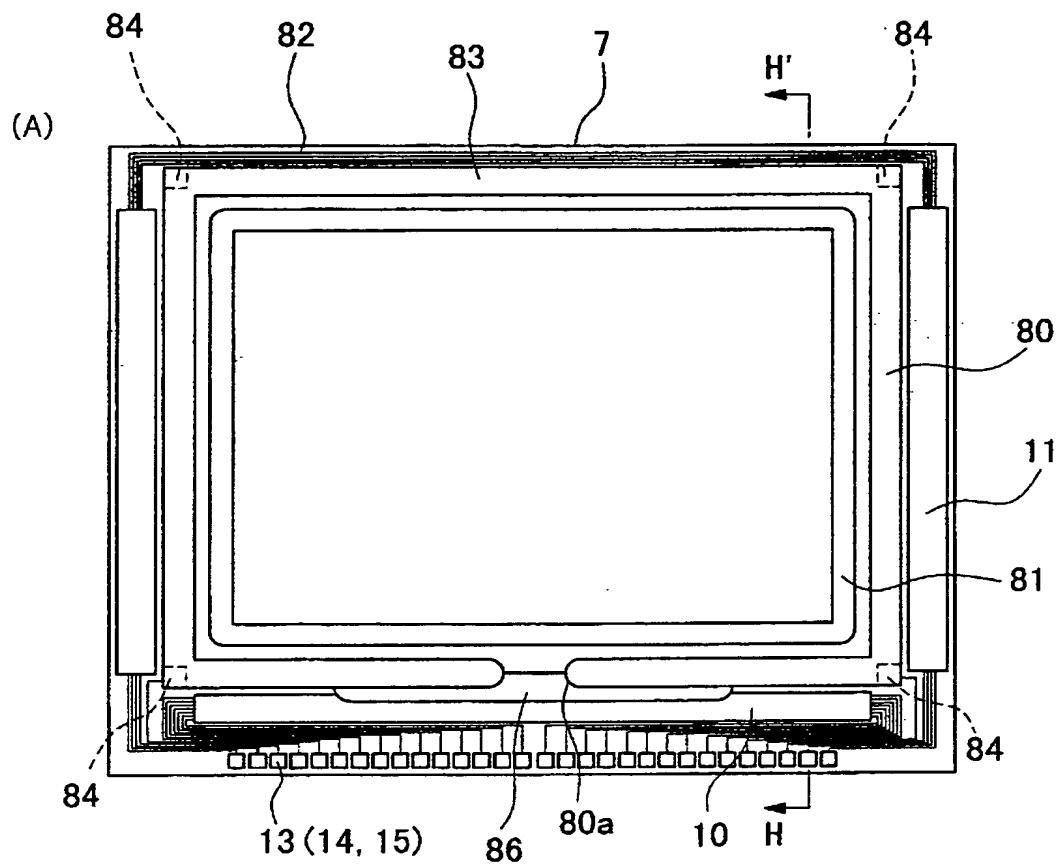
【図19】



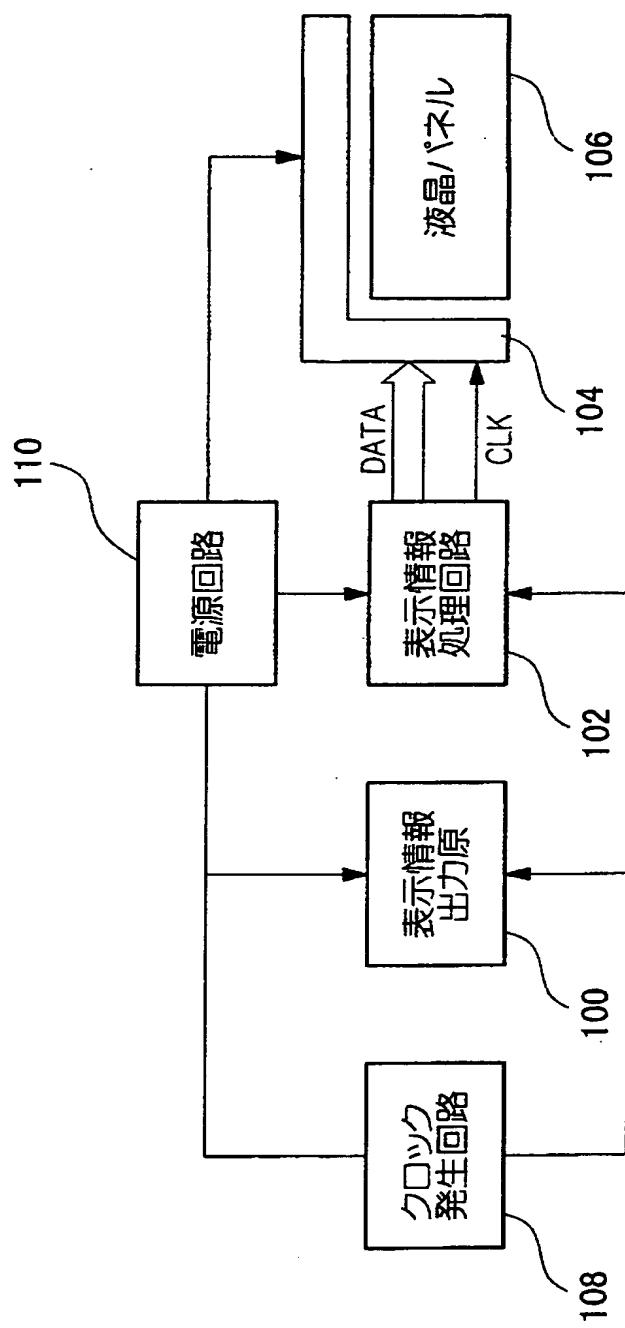
【図20】



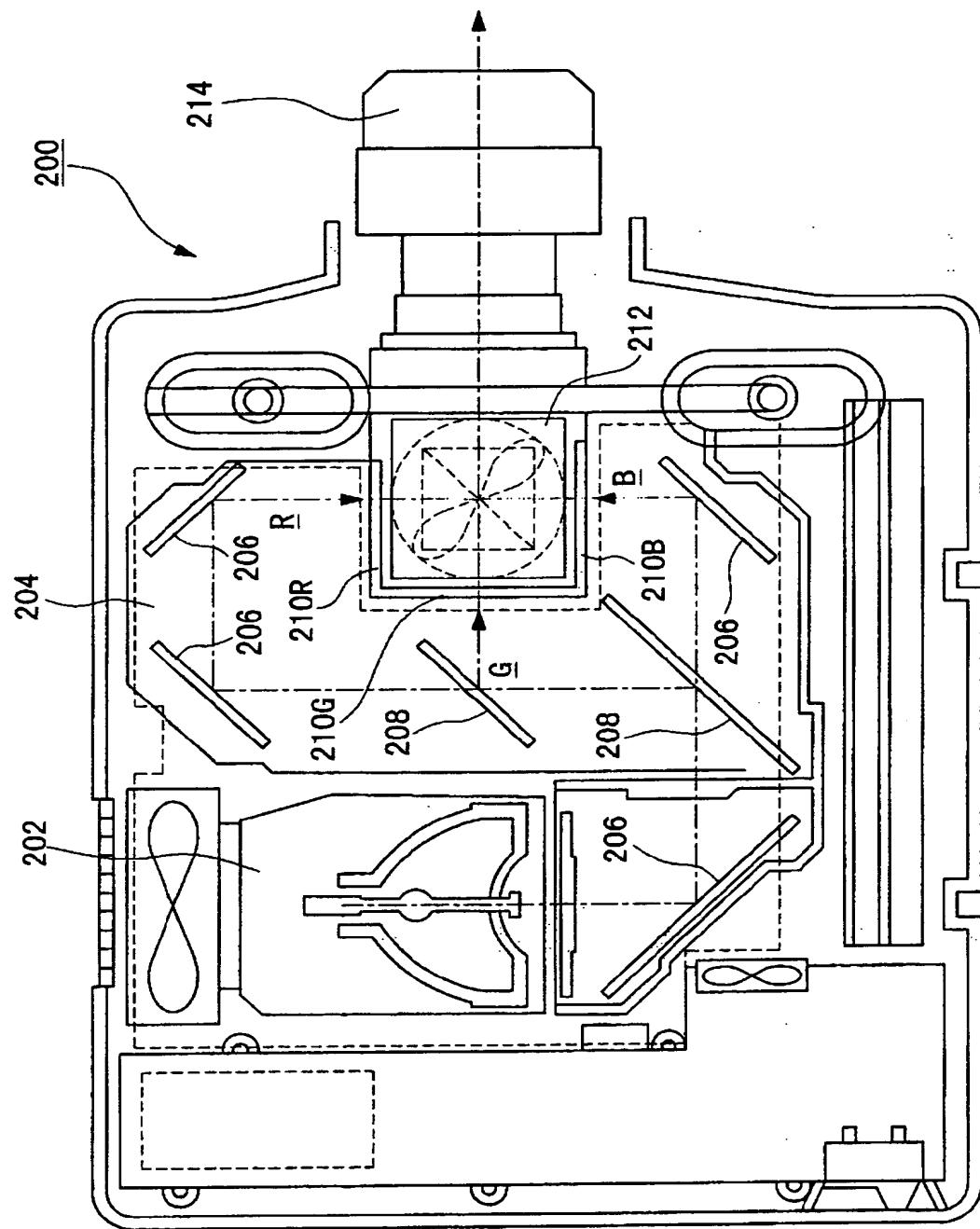
【図21】



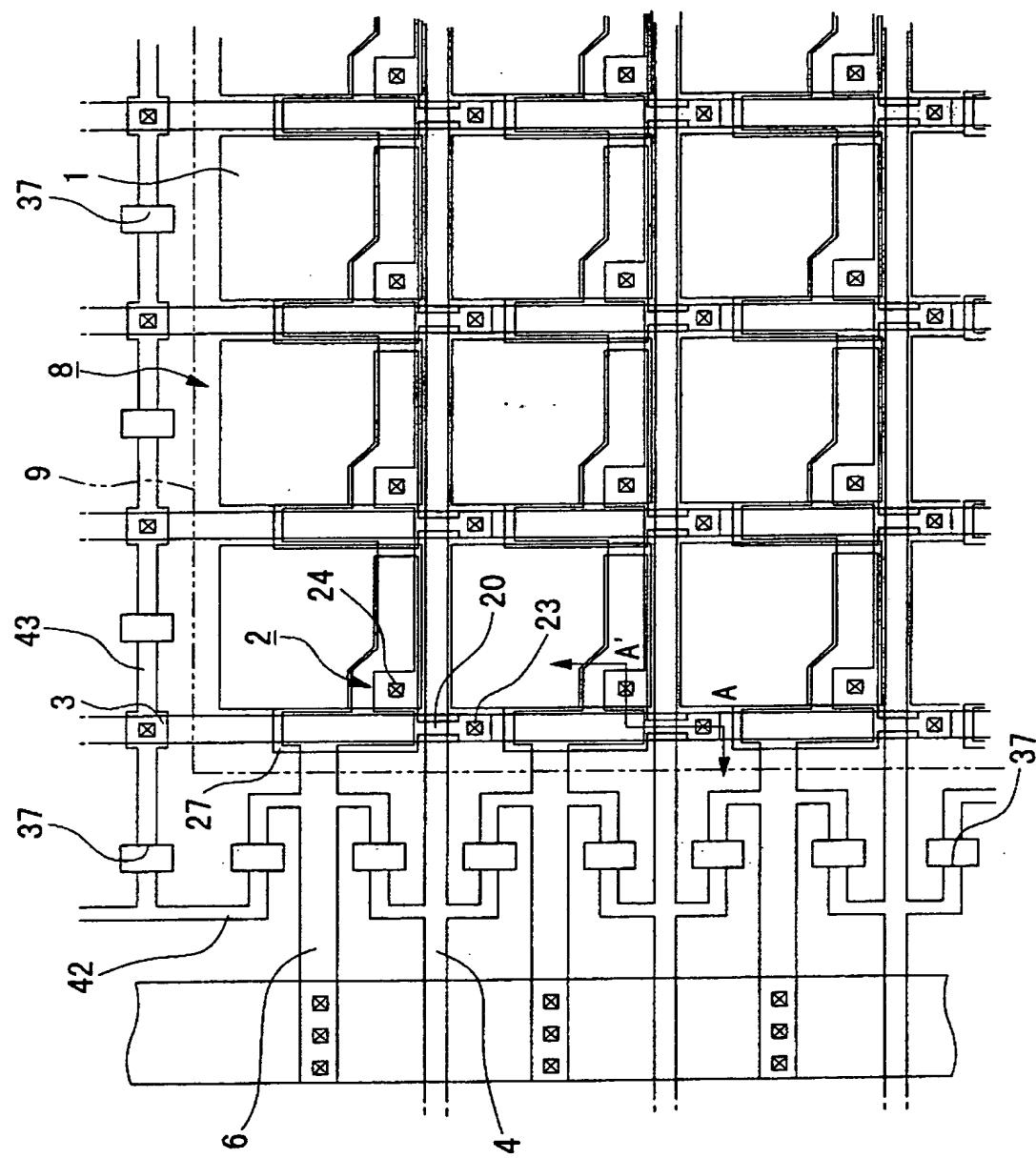
【図22】



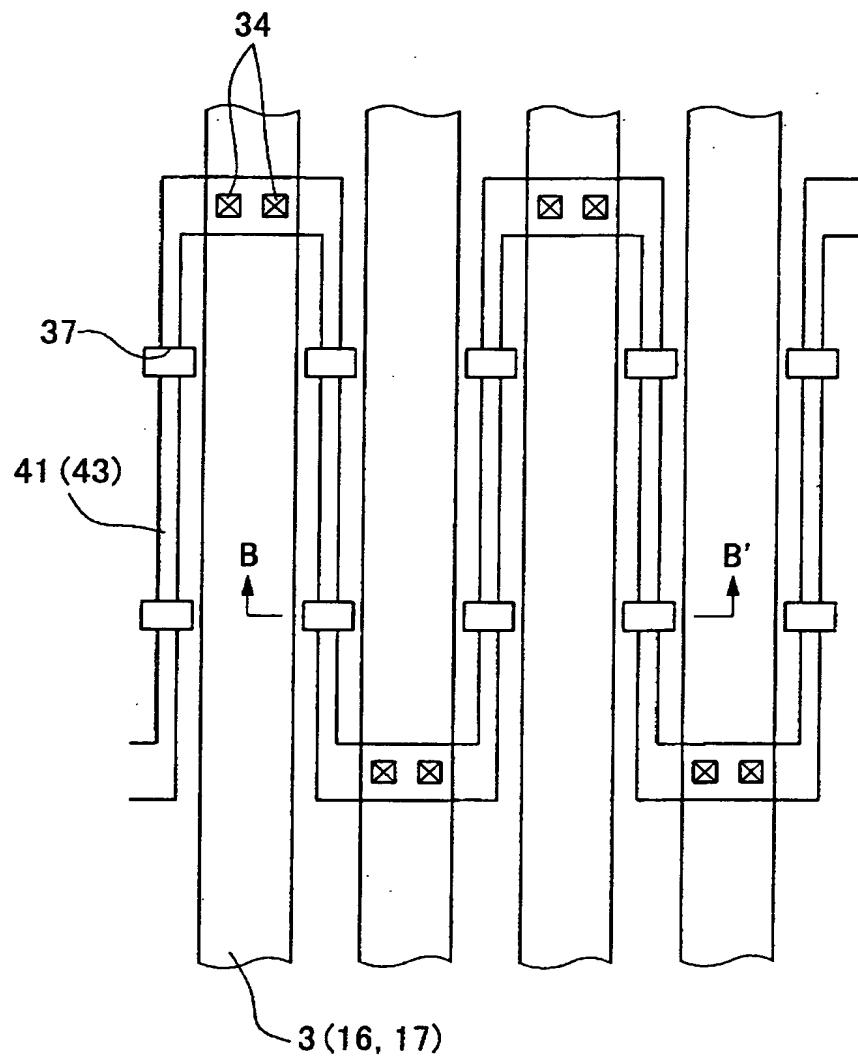
【図23】



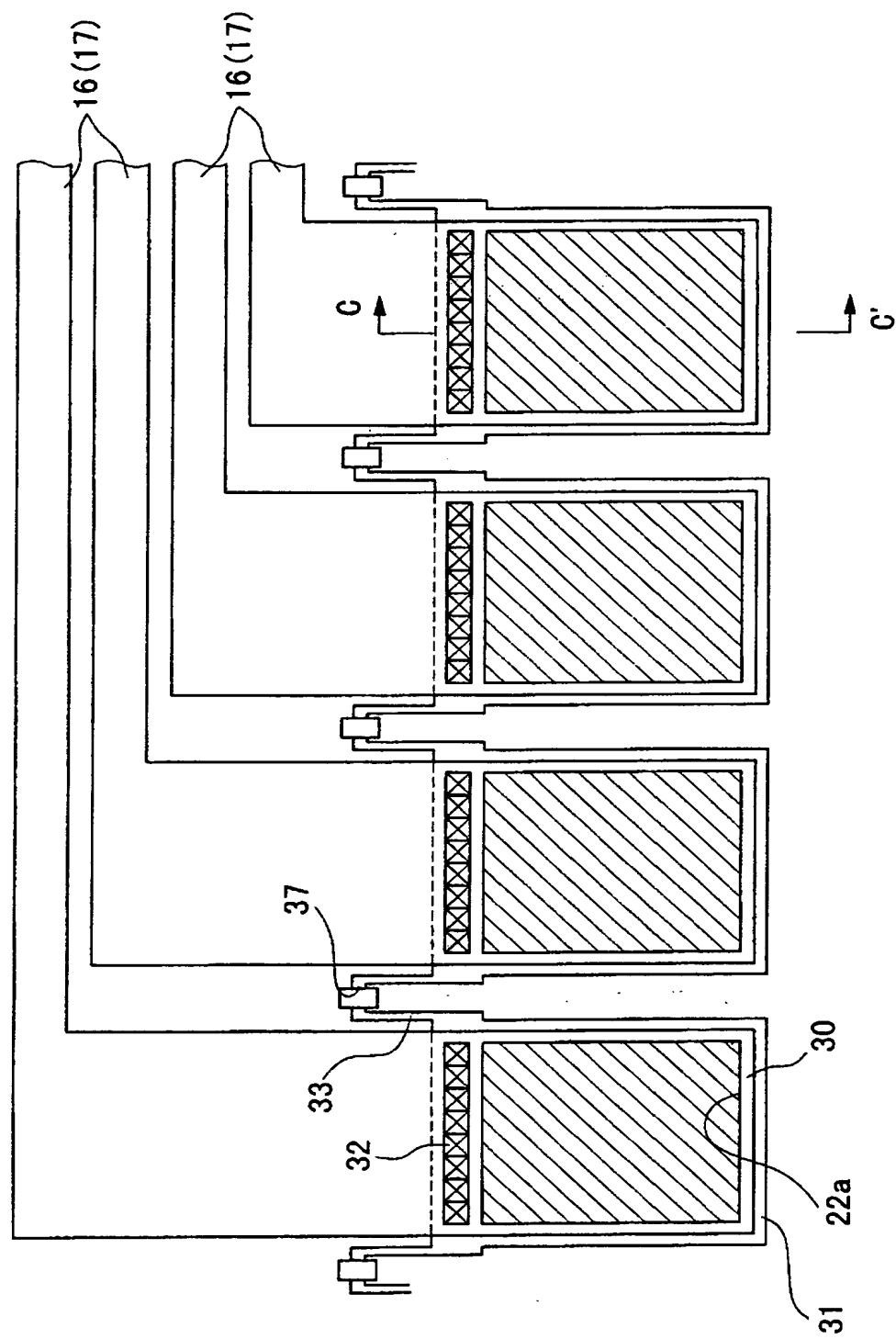
【図24】



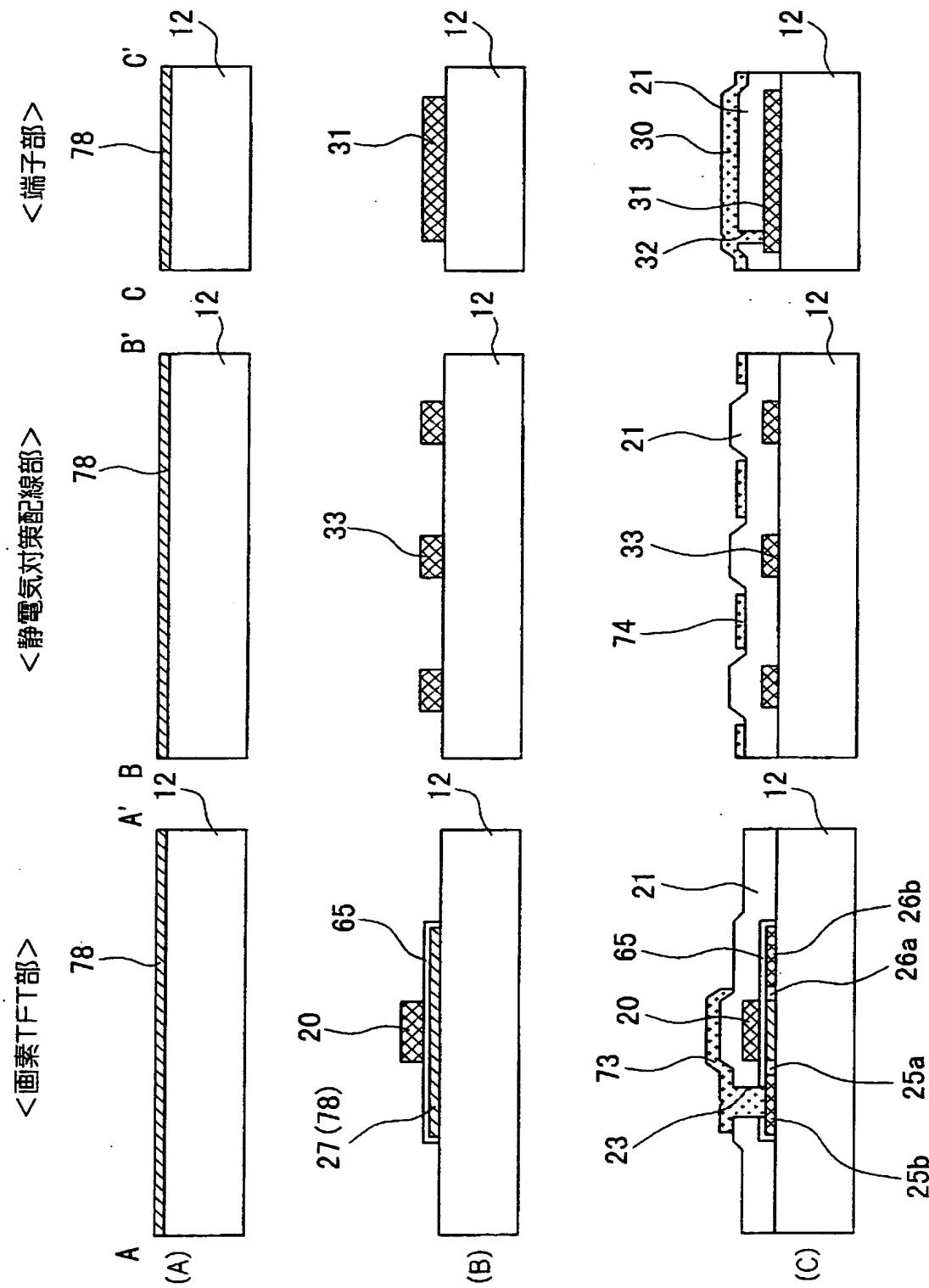
【図25】



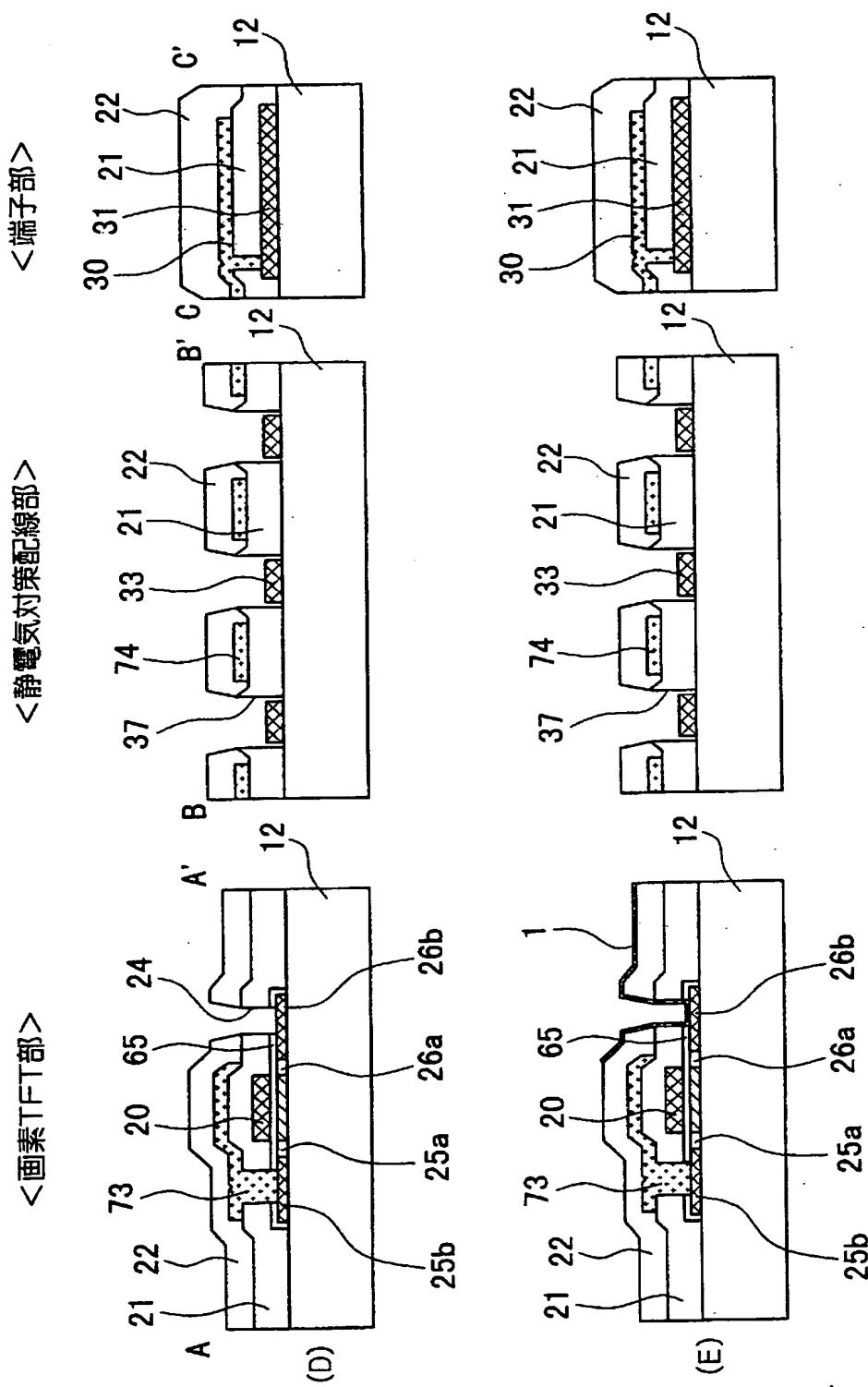
【図26】



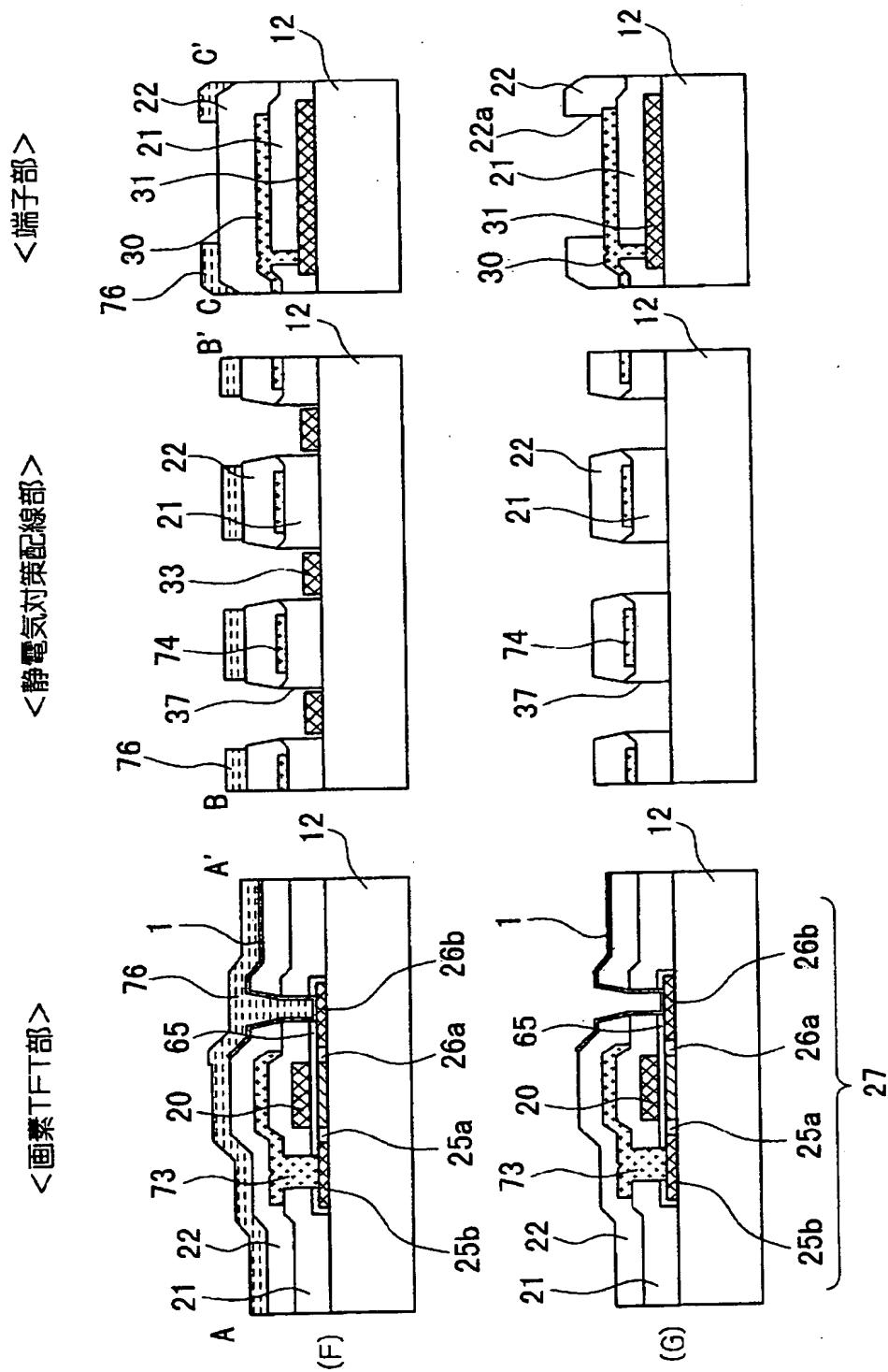
【図27】



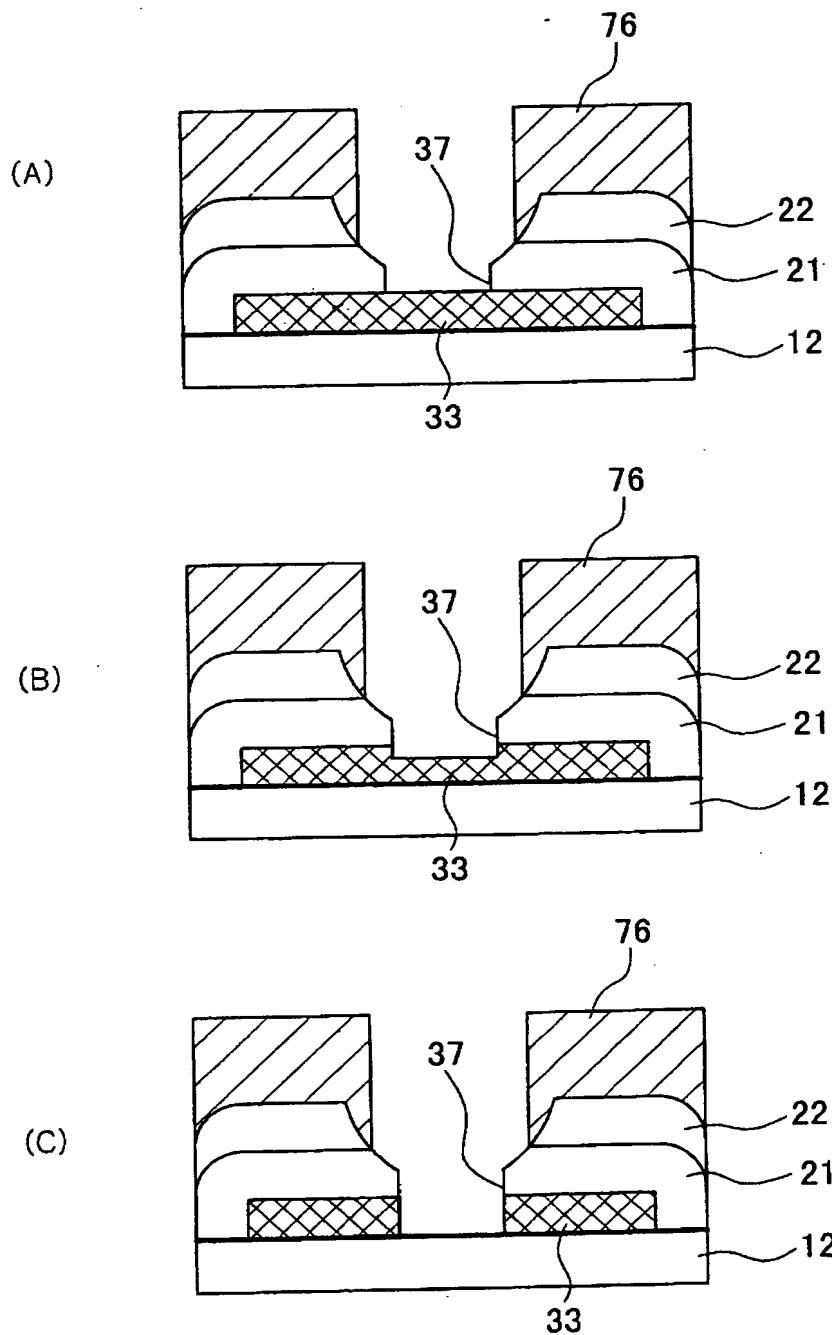
〔図28〕



〔図29〕



【図30】



【書類名】 要約書

【要約】

【課題】 短絡用配線による静電気対策を施した液晶装置用基板などの各種電子機器用基板において、エッティングによる短絡用配線の切断時に切断部周辺の絶縁膜のクラックや剥がれを確実に防止する手段を提供する。

【解決手段】 本発明の液晶装置用基板は、静電気対策配線としての短絡用配線33を覆う第1層間絶縁膜21および第2層間絶縁膜22に、エッティングにより短絡用配線33を切断するための切断用孔37が設けられ、短絡用配線33と埋込酸化膜62との間に、第2層間絶縁膜22のエッティングに対する耐性を有する単結晶シリコン膜からなるエッティング停止層38が、切断用孔37よりも広い領域にわたって形成されている。

【選択図】 図15

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社